

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PCT

世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類7 H01L 25/04, 25/065		A1	(11) 国際公開番号 WO00/36650
			(43) 国際公開日 2000年6月22日 (22.06.00)
<p>(21) 国際出願番号 PCT/JP99/07066</p> <p>(22) 国際出願日 1999年12月16日 (16.12.99)</p> <p>(30) 優先権データ 特願平10/357245 1998年12月16日 (16.12.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーホン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 梅津一成(UMETSU, Kazushige)[JP/JP] 尼子淳(AMAKO, Jun)[JP/JP] 四谷真一(YOTSUYA, Shinichi)[JP/JP] 荒川克治(ARAKAWA, Katsuji)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーホン株式会社内 Nagano, (JP)</p>		<p>(74) 代理人 小林久夫, 外(KOBAYASHI, Hisao et al.) 〒105-0001 東京都港区虎ノ門一丁目19番10号 第6セントラルビル6階 木村・佐々木国際特許事務所 Tokyo, (JP)</p> <p>(81) 指定国 AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), ARIPO特許 (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), ヨーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM)</p> <p>添付公開書類 国際調査報告書</p>	
<p>(54) Title: SEMICONDUCTOR CHIP, SEMICONDUCTOR DEVICE, CIRCUIT BOARD AND ELECTRONIC EQUIPMENT AND PRODUCTION METHODS FOR THEM</p> <p>(54) 発明の名称 半導体チップ、半導体装置、回路基板及び電子機器並びにそれらの製造方法</p> <div style="text-align: center;"> <p> A ... (110) PLANE B ... (111) PLANE C ... ETCHING TIME: T1 LATER D ... ETCHING TIME: T2 LATER (T1 < T2 < T3) E ... ETCHING TIME: T3 LATER </p> </div> <p>(57) Abstract A semiconductor chip having a high-aspect-ratio, high-reliability vertical-conduction structure; a semiconductor device containing the semiconductor chip; a circuit board and electronic equipment; and production methods for them. A laser beam is applied to a silicon substrate (10) on a face orientation (100) plane to form an advanced hole (3), which hole (3) being then expanded by an anisotropic etching to form a thorough hole (4). An insulating film is formed on the inner wall of the through hole (4) and a conductive material is provided on the inner side of the film to form a metal bump (30).</p>			

(57)要約

高アスペクト比・高信頼性の上下導通構造を有する半導体チップ、その半導体チップを含んだ半導体装置、回路基板及び電子機器並びにそれらの製造方法。面方位 (100) 面のシリコン基板 (10) にレーザー光を照射して先行穴 (3) を形成する。そして、異方性エッチングを行って先行穴 (3) を拡大してスルーホール (4) を形成する。このスルーホール (4) の内壁に絶縁膜を形成し、その内側に導電材を設けて金属バンプ (30) を形成する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	ES エスコニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LJ リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI シロヴェニア
AZ アゼルバイジャン	CA カボン	LS レントア	SK スロバキア
HA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シエラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BF ベルギー	GE グルジア	LV ラトヴィア	SZ スウェーデン
BF ブルガニア・ファン	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG チェコ
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサオ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	ML マリ	TT トリニダード・トバゴ
CG コンゴー	ID インドネシア	MN モンゴル	UG ウガンダ
CH スイス	IE アイルランド	MR モーリタニア	US 米国
CI コートジボアール	IL イスラエル	MW マラウイ	UZ ウズベキスタン
CM カメルーン	IN インド	MX メキシコ	VN ヴィエトナム
CN 中国	IS アイスランド	NE ニジエール	YU ユーロースラビア
CR コスタ・リカ	IT イタリア	NL オランダ	ZA 南アフリカ共和国
CU キューバ	JP 日本	NO ノールウェー	ZW ジンバブエ
CY キプロス	KE ケニア	NZ ニュー・ジーランド	
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 國	RO ルーマニア	

明細書

半導体チップ、半導体装置、回路基板及び電子機器並びにそれらの製造方法

技術分野

本発明は、半導体チップ、この半導体チップを含んだ半導体装置、この半導体装置が組み込まれた回路基板、及びこの回路基板が実装された電子機器、並びにそれらの製造方法に関し、特に金属バンプを形成するためのスルーホールの加工に関する。

背景技術

近年、マルチメディア・情報機器の進展には著しいものがあり、電子機器は、小型軽量化・大容量化とともにデータ処理の高速化が進んでいる。それに伴って、マイクロプロセッサやメモリの性能も著しく向上している。しかし、その周辺部分の技術進歩は相対的に立ち遅れており、例えば300MHzを超えるような周波数のCPUクロックはキャッシュメモリまでの配線ノイズ、信号遅延による誤動作及び不要輻射が生じ易くなってしまっており、システム全体の性能を周辺部が制限している状況になっている。

このような問題を解決するには、クロストーク、信号遅延等の電気特性の改善が必要である。そのためのアプローチの1つとして、従来、基板上に2次元的に並べられていたLSIチップや部品を3次元に実装して、チップ間の配線長を短縮し、電気的性能の向上や単位面積当たりの集積度の向上を図る方法が提案されている。

3次元実装については例えば特開平8-264712号公報、特開平5-63137号公報等により提案されているものがある。これらのものは、半導体ウェ

ハを重ねて導電材料を埋め込んだスルーホールによってチップの電極同士を接続することにより3次元の実装を実現している。しかしながら、このスルーホールは穴径10μm、板厚（長さ）数百μm程度の貫通穴であるが、その穴をどのようにして開けるかについては明示されていない。

このスルーホールの生成に際してはレーザ加工やエッティングが考えられる。しかし、レーザ加工の場合には、加工飛散物（ドロスやデブリ等と呼ばれている）が電極周辺に付着してしまい信頼性が低下する。また、基材の損傷（われ、ひび）防止の観点からパルス当たりのエネルギーを大きくできないのでスルーホールを生成するためには多くのパルスを必要とし、そのため加工時間が長くなる。一方、エッティングの場合には、異方性エッティング技術を用いたとしても、結晶異方性のために高アスペクト比の構造のものを生成することができない。

発明の開示

本発明は、高アスペクト比・高信頼性の上下導通構造を有する半導体チップ、その半導体チップを含んだ半導体装置、回路基板及び電子機器並びにそれらの製造方法を提供することを目的とする。

（1）本発明の一つの態様に係る半導体チップは、レーザ光の照射及び異方性エッティングを施して作成されたスルーホールを有する結晶性基板と、スルーホールの内壁に形成された絶縁膜と、スルーホールに挿入された導電材を含み、導電材を介して結晶性基板の一方の面側と他方の面側とを電気的に導通状態にする金属バンプとを備えたものである。

（2）本発明の他の態様に係る半導体チップは、上記（1）において、結晶性基板の一方の面側に絶縁膜を介して形成された電極パッドを備え、金属バンプは、電極パッドと電気的に接続され、且つ、結晶性基板の一方の面に突出するとともに、結晶性基板を貫通して結晶性基板の他方の面に突出してなる。

（3）本発明の他の態様に係る半導体チップは、上記（2）において、金属バン

ブは、結晶性基板の一方の面側の前記電極パッドの部分から結晶性基板の他方の面にかけて貫通して形成されたスルーホールに形成される。

(4) 本発明の他の態様に係る半導体チップは、上記(3)において、金属バンプは、スルーホールの内壁に沿って設けられた導電材からなる。

(5) 本発明の他の態様に係る半導体装置は、上記(1)～(4)の何れかに記載の半導体チップを、その金属バンプ同士が接続されて積層された状態で含む。

(6) 本発明の他の態様に係る回路基板は、上記(5)の半導体装置を含むものである。

(7) 本発明の他の態様に係る電子機器は、上記(6)の回路基板を含むものである。

(8) 本発明の他の態様に係る半導体チップの製造方法は、結晶性基板にレーザ光を照射して先行穴を形成する工程と、異方性エッティングを行って前記先行穴を拡大してスルーホールを形成する工程とを有する。

(9) 本発明の他の態様に係る半導体チップの製造方法は、上記(8)において、スルーホールの内壁に絶縁膜を形成する工程と、内壁が絶縁されたスルーホールに導電材を形成して、結晶性基板の一方の面側と他方の面側とを電気的に導通状態にする金属バンプを形成する工程とを更に有する。

(10) 本発明の他の態様に係る半導体チップの製造方法は、上記(9)において、結晶性基板に形成された電極パッド部分にレーザ光を照射して先行穴を形成し、電極パッドと金属バンプとを電気的に接続する。

(11) 本発明の他の態様に係る半導体チップの製造方法は、上記(9)又は(10)において、結晶性基板はシリコン基板である。

(12) 本発明の他の態様に係る半導体チップの製造方法は、上記(11)において、シリコン基板の面方位が(100)面である。

(13) 本発明の他の態様に係る半導体チップの製造方法は、上記(11)において、シリコン基板の面方位が(110)面である。

(14) 本発明の他の態様に係る半導体チップの製造方法は、上記(8)～(13)において、結晶性基板の一方の面側及び他方の面側にそれぞれ保護膜を形成

し、保護膜を介して結晶性基板にレーザ光を照射する。

(15) 本発明の他の態様に係る半導体チップの製造方法は、上記(14)において、電極パッドが形成された側の面からレーザ光を照射する。

(16) 本発明の他の態様に係る半導体チップの製造方法は、上記(14)において、電極パッドが形成された側とは反対側の面からレーザ光を照射する。

(17) 本発明の他の態様に係る半導体チップの製造方法は、上記(14)において、結晶性基板の電極パッドが形成された側の面及びその反対側の面からレーザ光を照射する。

(18) 本発明の他の態様に係る半導体チップの製造方法は、上記(14)において、中央部に開口部を有する電極パッドを保護膜で覆い、レーザ光をその保護膜を介して開口部を通過させる。

(19) 本発明の他の態様に係る半導体チップの製造方法は、上記(18)において、電極パッドと結晶性基板の表面との間にパターン化された保護膜を形成し、その保護膜の形状により異方性エッチングのエッチング形状を規制する。

(20) 本発明の他の態様に係る半導体チップの製造方法は、上記(8)～(19)において、レーザ光を位相格子により分岐させて基板に照射する。

(21) 本発明の他の態様に係る半導体チップの製造方法は、上記(8)～(19)において、レーザ光をランダム偏光に変換して基板に照射する。

(22) 本発明の他の態様に係る半導体チップの製造方法は、上記(8)～(19)において、レーザ光を円偏光させて結晶性基板に照射する。

(23) 本発明の他の態様に係る半導体装置の製造方法は、上記(8)～(22)の製造方法により製造された半導体チップを積層して半導体装置を製造する。

(24) 本発明の他の態様に係る回路基板の製造方法は、上記(23)の半導体装置の製造方法により製造された半導体装置を組み込んで回路基板を製造する。

(25) 本発明の他の態様に係る電子機器の製造方法は、上記(24)の回路基板の製造方法により製造された回路基板を実装して電子機器を製造する。

本発明においてはその態様に応じて例えれば次のような利点がある。

①レーザ光を照射して先行穴を形成してから異方性エッティングを行ってスルーホールを形成するようにしたことから、厚みに対して細い穴を開けることが難しいという制約がなく、高アスペクト比のスルーホールが得られる。

②また、レーザ加工のみによりスルーホールを生成する場合には加工時間が長くかかるが、異方性エッティングにより先行穴を拡大してスルーホールを形成するようにしたことから、バッチ処理が可能となり加工時間の短縮化が可能になっていく。また、スルーホールの径のバラツキが少なく均一化される。

③また、スルーホールの穴径（穴幅）の拡大は保護膜の開口寸法や、異方性エッティングの時間を調整することにより任意に調整することができる。

④更に、レーザ光の照射によって発生するドロスや内壁に残る加工屑が異方性エッティングの際に自動的に取り除かれる。

⑤レーザ加工による内壁面の荒れやレーザによる熱的な変質が異方性エッティングにより除去されてシリコンの滑らかな結晶面が露出する。そのため、絶縁膜形成工程において形成する絶縁膜にピンホールができないように確実に形成でき、なおかつ、必要最小限の厚さにできる。

⑥結晶性基板はその表面側及び裏面側にそれぞれ保護膜が形成され、保護膜を介して結晶性基板にレーザ光を照射する。このレーザ光の照射は、電極パッドが形成された側の面、電極パッドが形成された側の反対側の面又はその両側の面からなされる。レーザ光の照射によりエッティングしたい箇所を露出させることができるので、フォトリソグラフィーによる工程が省略され、製造コストの削減が可能になっている。また、レーザ光の照射により発生するドロスは異方性エッティングの際に除去される。更に、上記の保護膜は異方性エッティングの際に、半導体チップに形成されている各種素子の保護膜を兼ねることができる。

⑦電極パッドはその中央部に開口部を有し且つ保護膜で覆われており、レーザ光はその開口部を通過する。このため、電極パッドはレーザ光によって削られることがなく、異方性エッティングの際にエッティングされることが避けられる。

⑧電極パッドと基板との間にパターン化された保護膜が形成され、その保護膜の形状により異方性エッティングのエッティング形状を規制する。このため、保護膜の

形状により任意のエッチング形状が得られ、任意の形状のスルーホールが得られる。

⑨レーザ光を位相格子により分岐させて基板に照射するので、同時に複数箇所の先行穴を開けることができることから、加工時間を大幅に短縮することができる。

⑩レーザ光を円偏光させて基板に照射するので、先行穴の加工曲がりが抑えられ、穴径の不要な拡大を抑えることができる。また、先行穴の加工曲がりが抑えられるので、それだけ穴位置の精度が高くなり信頼性が高められる。さらにまた、これにより電極パットも小さくできる。レーザ光を円偏光させる代わりに、レーザ光をランダム偏光に変換しても同様の効果が得られる。

⑪表面に電極パッドが形成された基板の電極パッド部分にレーザ光を照射して先行穴を形成してからエッチングを行って先行穴を拡大してスルーホールを形成するようにしたので、結晶性を有しない基板であっても所定の効果（高アスペクト比・高信頼性の上下導通構造を有する半導体チップを効率よく製造できる）が得られる。

⑫半導体チップを積層して半導体装置を製造する。このため、この半導体装置の製造方法は上記の利点を含んだものとなる。更に、LSIチップを3次元的に実現できるので、配線長が短くなり電気的性能が向上し（高速化、不要な輻射波の減少、誤動作の減少）、また、単位面積当たりの集積度も向上するため、各種電子機器を小型化できる。半導体チップ同士を直接積層して半導体装置を製造するので、ピラミッド状ではなく、直方体状に積層することができ、この点からも単位面積当たりの集積度が向上する。

図面の簡単な説明

図1A及び図1Bは本発明の実施形態1に係る半導体の製造方法（その1）及びその比較例を示した工程図である。

図2A及び図2Bは本発明の実施形態1に係る半導体の製造方法（その2）及

びその比較例を示した工程図である。

図3は本発明に係る半導体装置の正面図である。

図4A～図4Cは各種素子が表面に形成されているシリコン基板の説明図である。

図5は図3の半導体装置の製造方法の工程図（その1）である。

図6は図3の半導体装置の製造方法の工程図（その2）である。

図7は図3の半導体装置の製造方法の工程図（その3）である。

図8は本発明の実施形態2の工程説明図である。

図9は本発明の実施形態3の工程説明図である。

図10は本発明の実施形態4の工程説明図である。

図11は上記の各実施形態においてレーザ光によりシリコン基板に先行穴を開ける際の装置の構成例を示した図である

図12A及び図12Bは図11の装置による加工状態を示す説明図である。

図13は上記の各実施形態においてレーザ光によりシリコン基板に先行穴を開ける際の装置の他の構成を示した図である。

図14A～図14Dは図13の装置によりレーザ光を円偏光させたとき、レーザ光をランダム偏光に変換したとき、及び直線偏光（S偏光）させたときの先行穴の状態を示した説明図である。

図15A及び図15Bは偏光とSiのレーザ光吸収率の関係を示した図である。

図16は上述の実施形態に係る半導体装置を実装した回路基板の説明図である。

図17は図16の回路基板が実装されたノート型パソコンコンピュータの斜視図である。

図18は図16の回路基板が実装された携帯電話の斜視図である。

図19及び図20はレーザ光を照射して先行穴を生成した時の特性図である。

図21A、図21B及び図21Cは、実施例3として、レーザ光を照射して先行穴を形成したときのレーザ入射面、レーザ出射面及び穴側断面（切断観察面）の拡大図である。

図22A及び図22Bは、実施例4として、レーザ光を照射して生成されたドロスのエッティング前の状態とエッティング後の状態を示した図である。

図23A、図23B及び図23Cは、実施例5として、エッティング処理後の加工穴の状態を示した入射面、断面（切断観察面）及び出射面をそれぞれ示した図である。

図24A、図24B及び図24Cは、実施例6として、エッティング処理を15分施したときの各先行穴の状態を示した断面（切断観察面）をそれぞれ示した図である。

図25A、図25B及び図25Cは、実施例6として、エッティング処理を30分施したときの各先行穴の状態を示した断面（切断観察面）をそれぞれ示した図である。

図26A、図26B及び図26Cは、実施例6として、エッティング処理を60分施したときの各先行穴の状態を示した断面（切断観察面）をそれぞれ示した図である。

図27A、図27B及び図27Cは、実施例6として、エッティング処理を90分施したときの各先行穴の状態を示した断面（切断観察面）をそれぞれ示した図である。

図28A、図28B及び図28Cは、実施例6として、エッティング処理を120分施したときの各先行穴の状態を示した断面（切断観察面）をそれぞれ示した図である。

図29A及び図29Bは面方位（110）面のシリコン基板に酸化膜を形成した後にレーザを照射してその後にエッティング処理を施した時の断面（切断観察面）を示した図である。

図30は面方位（100）面のシリコン基板に斜め45度の穴をレーザ加工してエッティングした場合の平面図である。

図31A及び図31Bは図30のA-A断面図及び図30のB-B断面図である。

図32は面方位（100）面のシリコン基板に垂直度の穴をレーザ加工してエッティングした場合の平面図である。

図33A、図33B及び図33Cは図32のA-A断面図、B-B断面図及びC-C断面図である。

図34は面方位(110)面のシリコン基板に垂直度の穴をレーザ加工してエッティングした場合の平面図である。

図35A、図35B及び図35Cは図34のA-A断面図、B-B断面図及びC-C断面図である。

図36及び図37は貫通穴及び止まり穴(未貫通穴)の断面(切断観察面)を示した図である。

発明を実施するための最良の形態

実施形態1.

図1Aは本発明の実施形態1に係る半導体チップの製造方法(その1)を示した工程図である。この製造方法においては、図1Aに示されるように、面方位が(110)面を有するシリコン基板1上に酸化膜2をパターンニングして形成して、レーザー光により貫通穴(先行穴)3を開ける。そして、異方性エッティングを施すと、面方位(111)面が現れて止まるまでエッティングが進行して、図示のような高アスペクト比のスルーホール4が形成される。

ところが、比較例として挙げられた図1Bに示されるように、異方性エッティングのみを施した場合には面方位(111)面でエッティングが止まる(表面とのなす角度35.4度)。このため、板厚tと開口Lとの関係が $t > \text{約} 0.7L$ であるとスルーホールが生成できない。

図2Aは本発明の実施形態1に係る半導体チップの製造方法(その2)を示した工程図である。この製造方法においては、図2Aに示されるように、面方位が(100)面を有するシリコン基板5上に酸化膜2をパターンニングして形成して、レーザ光により貫通穴3を開ける。そして、異方性エッティングを施すと、面方位(111)面が現れて止まるまでエッティングが進行して、図示のような高アスペクト比のスルーホール6が形成される。

ところが、比較例として挙げられた図2Bに示されるように、異方性エッキン

グのみを施した場合には、面方位 (111) 面でエッティングが止まる（表面とのなす角度 54.7 度）。このため、板厚 t と開口 L との関係が $t > \text{約 } 1.4L$ であるとスルーホールが生成できない。

なお、図 1 A 及び図 2 A では、結晶面でエッティングがきれいに止まっているが、このことはレーザ照射により結晶性が劣化した部分が除去されていることを示している。換言すると、スルーホール以外の部分（例えば素子部分）には劣化がないことを示している。

図 3 は本発明に係る半導体装置 40 の正面図である。この半導体装置 40 は、半導体チップ 2-9 が図示のように積層されて構成されている。なお、この半導体装置 40 は、半導体チップ 2-9 同士が金属バンプ 30 を介して電気的に接続されて積層されており、その点において、1 枚のリードフレームの両面に半導体チップが配置されたようなデバイスとは異なる。そして、この半導体チップ 2-9 は、例えば DRAM、SRAM、フラッシュメモリ等の記憶装置、ロジック回路等から構成され、それぞれ又は相互に積層することで、例えばシステム LSI を構成することができる。

図 4 A は製造途中の半導体チップの部分平面図、図 4 B は図 4 A の B-B 断面図、図 4 C は図 4 A の C-C 断面図である。面方位が (100) 面のシリコン基板 10 には、トランジスタ、抵抗素子、配線などを含む素子領域 9 及び電極パッドとしてのアルミニウム膜 12 が形成されている。このアルミニウム膜 12 は、酸化膜 11 を介してシリコン基板 10 上に形成されており、また、素子領域 9 と電気的に接続されている。

図 5～図 7 は図 3 の半導体装置の製造方法の工程図であり、この工程図を参照しながらその製造方法を説明する。

(a) 図 4 A～図 4 C に示される状態の、面方位が (100) 面のシリコン基板 10 におけるアルミニウム膜 12 上に耐 Si エッティング膜となる酸化シリコン膜 13 を CVD 法（又は PVD 法）にて形成する。ここでは酸化シリコン膜 13 を

用いた例を示したが、耐 Si エッティング膜としての特性を有する酸化膜であればこれに限るものではない。例えば窒化シリコン膜を用いることができる。このことは次の (b) においても同様である。

(b) シリコン基板 10 の裏面にも同様にして酸化シリコン膜 14 を CVD 法 (又は PVD 法) にて形成する。なお、これ以前の工程で裏面の研削加工等を行い、基板自体を薄くすることもできる。

(c) レーザ光を照射してアルミ膜 12 を貫通する先行穴 15 をシリコン基板 10 に形成する。このとき、レーザ光の入射部及び出射部の周辺にはドロス 16 が発生する。このレーザ光の条件等は後述する実施例において記載されている。

(d) 異方性エッティングを行つて先行穴 15 の径を更に大きくする。このときのアルミ膜 12 のレーザ光の照射により形成された穴も、エッティングによりその径が大きくなる (後退する)。この異方性エッティングの条件は後述する実施例において記載されている。

(e) 異方性エッティングにより形成された孔 17 の内壁に酸化シリコン膜 18 を CVD 法 (又は PVD 法) にて形成する。このとき、アルミ膜 12 の穴の内壁にも酸化膜 12a が形成されることになる。カバレッジの点を考慮すれば、両側の面から酸化シリコンを形成することが好ましい。なお、本実施形態 1 においてはこの酸化膜 12a のために、図 6 (i) 以降の処理が必要になっている。酸化膜 12a は絶縁性があれば良く、酸化膜 12a の代わりに、窒化シリコンやポリイミドやテフロンなどでもよい。但し、伝搬遅延特性を考慮すれば低誘電率材料の方が望ましい。

(f) 銅メッキを施してシリコン基板 10 の表面及び裏面に銅メッキ層 19 及び 20 をそれぞれ形成するとともに、内壁に酸化シリコン膜 18 が形成された孔 17 に銅メッキ材 20a を充填する。

(g) 銅メッキ層 19 及び 20 の上に、フォトリソグラフィ技術によりフォトレジスト 21 及び 22 をそれぞれ形成する。

(h) フォトエッティングを行つて、銅メッキ層 19 及び 20 の内、フォトレジスト 21 及び 22 により覆われた箇所を除いた他の部分を除去する。

- 12 -

(i) フォトリソグラフィ技術によりレジスト23及び24を形成する。レジスト23については、アルミ膜12の上に位置する酸化シリコン膜13の一部が外部に露出するように形成されている。

(j) 外部に露出した酸化シリコン膜13をドライエッチングを行って除去する。このドライエッチングにより酸化シリコン膜13の一部がアルミ膜12の上に残ることになる（これには符号12aが付記されている）。

(k) レジスト23及び24を剥離する。

(l) 全面に銅メッキ（無電解）を施して銅メッキ層25, 26を形成する。

(m) 銅メッキ層25, 26の上にレジスト27, 28をそれぞれ形成する。

(n) フォトエッチングによりレジスト27, 28の内側にある銅メッキ層25, 26を除いて、これらの銅メッキ層25, 26を除去する。以上の処理により半導体チップ（ICチップ）29が出来上がることとなる。

(o) そして、銅メッキ層19, 25、銅メッキ材20a及び銅メッキ層20, 26から構成される金属バンプ30にハンダ31又は金を付着する。なお、ハンダ31の代わりに、異方性導電膜（ACF）、ポールバンプ、導電接着剤等を用いてもよい。

(p) ハンダ31の上に、上記と同様にして形成された半導体チップ29を載せて溶着する。以上の処理を繰り返すことにより図3の多層構造の半導体装置40が得られる。

なお、上記の説明は面方位が（100）面のシリコン基板10についてなされたが、面方位が（110）面のシリコン基板についても同様に適用される。また、先行穴を生成する際に、シリコン基板10の表面からレーザ光を照射した例について説明したが、これは裏面側から照射してもよい。その場合には表面側の穴径が小さくなり、金属バンプのサイズを小さくできる。

実施形態2.

図8は本発明の実施形態2の工程説明図であり、これは図5(a)に対応している。本実施形態2においては、電極パッドとして金膜41を用いている。金膜41には実施形態1の図5(d)における酸化膜12aが形成されないので、本実施形態2では図6(i)～図7(n)の処理は不要となっている。

実施形態3.

図9は本発明の実施形態3の工程説明図であり、これは図5(b)(c)に対応している。本実施形態3においては、アルミ膜12の中央部に孔12bを予め設けておく。このようにアルミ膜12に孔12bを設けているので、レーザ光42の照射の際に後退しない。そして、アルミ膜12が酸化シリコン膜11, 13によって覆われているので、異方性エッチングの際にエッチングされず(後退しない)、また、酸化シリコン膜18を形成する際に酸化膜12aが発生しない。このため、本実施形態3においても図6(i)～図7(n)の処理は不要となっている。

実施形態4.

図10は本発明の実施形態4の工程説明図であり、これは図5(a)に対応している。本実施形態4においては、図9の例と同様にアルミ膜12の中央部に孔12bを予め設けておくとともに、酸化シリコン膜11をバターン化してシリコン基板10の一部を露出させておく。このようにすることでアルミ膜12の後退が避けられるとともに、異方性エッチングの際のエッチングパターン(スルーホールの形状)が規格化される。

実施形態5.

図11は上記の各実施形態においてレーザ光によりシリコン基板10に先行穴15を開ける際の装置の構成を示した図である。レーザ光源50からのレーザ光42は、ビームエクスパンダ51及び反射ミラー52を経て位相格子53に到達する。そして、位相格子53で分岐されてシリコン基板10に照射される。

図12A及び図12Bはこのときの状態を示す説明図である。レーザ光42は

位相格子 5 3 にてこの例では 4 分岐されてシリコン基板 1 0 に照射されて先行穴 1 5 を開ける。この分岐は、例えば最初に X 方向に分岐し、次に方向を切り替えて（位相格子 5 3 とシリコン基板 1 0 との相対移動により） Y 方向に分岐させる。或いは、位相格子 5 3 により X 方向と Y 方向とを同時に分岐させるようにしてもよい。このようにして同時に複数の先行穴 1 5 を開けることができるので、加工時間の短縮化が可能になっている。さらには、2 次元的な分岐も可能であり、この場合には 1 チップ又は 1 ウェーハを一括で加工することもできる。

実施形態 6.

図 1 3 は上記の各実施形態においてレーザ光によりシリコン基板 1 0 に先行穴 1 5 を開ける際の装置の構成を示した図であり、ここではビームエクスパンダ 5 1 の出射側に入／4 偏光板 5 6 が設けられており、レーザ光 4 2 を円偏光させている。

図 1 4 A は図 1 3 の装置によりレーザ光を円偏光させたときの加工穴の状態を示した説明図である。図 1 4 B はレーザ光をランダム偏光に変換したときの加工穴の状態を示した説明図である。図示のように先行穴 1 5 が曲がらず真っ直ぐに形成されていることが分かる。図 1 4 C 及び図 1 4 D はレーザ光を直線偏光させた場合の加工穴の状態を示した説明図である。図示のように、先行穴 1 5 が曲がって歪んでいることが分かる。これは、内壁に対して P 偏光と S 偏光とでは吸収率が異なるため起こる現象であると考えられ（図 1 5 A 及び図 1 5 B 参照）、一旦いずれかの方向に偏って加工が促進されればスルーホールの導光効果によりさらにその偏りが促進されるためであると考えられる。これに対して、レーザ光をランダム偏光に変換させた場合やレーザ光を円偏光させた場合には、S 偏光・P 偏光がランダムに照射され、S 偏光・P 偏光の偏りがないため、スルーホールが曲がっていくという現象を効果的に抑制することができる。

図 1 5 A 及び図 1 5 B は直線偏光と S i に対するレーザ光吸収率との関係を示した図である。これらの図から P 偏光の方が S 偏光よりも吸収率高い（特に 8 0

° 前後で高くなる）。このため、直線偏光の場合は曲がる可能性が高くなると考えられる。

実施形態 7.

上述の例はいずれもシリコン基板に垂直穴をレーザ加工してエッチングする例について説明しているが、本発明はそれに限定されるものではなく、レーザ加工により斜めの穴を形成するようにしてもよい。その具体例は図30～図37において詳細に図示されているが、面方位が(100)面のシリコン基板に斜め穴をレーザ加工により生成した場合には、面方位(110)面のシリコン基板の場合と同様に、次のような利点がある。

- ・内部で広がらないストレートな穴が形成できるので、穴間ピッチをより小さくできる。
- ・穴幅は酸化膜の寸法と同じにできるので、エッチング時間で穴幅を制御する必要がない。
- ・穴断面形状は面方位(111)面で規定できるので、形状のバラツキがない。

実施形態 8.

図16は上述の実施形態に係る半導体装置を実装した回路基板の説明図である。回路基板100には例えばガラスエポキシ樹脂基板等の有機系基板を用いるのが一般的である。回路基板100には例えば銅等からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと上述の半導体装置40の外部端子とを機械的に接続することで、それらの電気的導通を図る。そして、その回路基板100を搭載した電子機器として、図17にはノート型パソコンコンピュータ200、図18には携帯電話300が示されている。

次に、上述の実施形態の具体例を実施例として説明する。

実施例 1.

図19及び図20はレーザ光を照射して先行穴を生成した時の特性図である。

図19は1kHzでのレーザのショット数と穴深さとの関係をレーザパワー(5

mW～2000mW)をパラメータにして示している。図20は1kHzでのレーザのショット数と穴幅との関係をレーザパワー(5mW～2000mW)をパラメータにして示している。いずれも、高アスペクト比の先行穴が得られていることが分かる。なお、このときのレーザは、第2高調波のQスイッチYAGレーザを用い、光学系は集光レンズf 100を用いている。

実施例2.

また、上記の実施形態1において異方性エッチングにより先行穴を拡径した際のエッチングの条件は次のとおりである。

〈エッチングの条件〉

エッチング液: KOH水溶液

濃度 : 35%重量

薬液温度 : 80°C

エッチング時間: 1時間(短ければ細穴、長ければ全て(111)面が出現)

〈ウェハー条件〉

材質 : Si (100) (面方位(100)面の結晶性シリコン。

以下においても同様に表現する。)

板厚 : 板厚 550 μm

なお、エッチング液としては、KOH水溶液に代えて有機アルカリエッチング液、例えばヒドラジン、EPW(エチレンジアミン-ピロカテコール-水)、TMAH(水酸化テトラメチルアンモニウム)等、を用いることができる。

実施例3.

図21A、図21B及び図21Cはレーザ光(円偏光が施されている)を照射して先行穴を形成したときのレーザ入射面、孔測断面、レーザ出射面及び孔測断面(切断観察面)の拡大図である。図21A及び図21Bのレーザ入射面及びレーザ出射面はそれぞれ円形となっており、その近傍にドロスが発生している。また、図21Cの先行穴はその直線性(板厚 550 μm)に優れたものとなっている。なお、図21A及び図21Bの図の下部に示されている、例えば図21A

「 $\times 2,000$ 」は2000倍に拡大されていることを意味し、図21Bの「 $\times 200$ 」は200倍に拡大されていることを意味する。また、図21Aの「 $15.0 \mu\text{m}$ 」はその近傍に記されているドットの左端から右端までの距離を示している（この例では全ドット分で $15 \mu\text{m}$ である）。こうしたことは後述の他の図においても同様である。

実施例4.

図22A及び図22Bは、レーザ光を照射して先行穴を生成した際に発生したドロスのエッティング前の状態とエッティング後の状態を示した図である（上述の図5（c）～（d）に対応）。エッティング処理を施した後にはドロスが除去されていることが分かる。

＜レーザ条件＞ レーザ波長： $532 \mu\text{m}$

集光レンズ： $f 100 \text{ mm}$

ランプ電流： 28 A

＜加工条件＞ 発振周波数： 1 kHz

パワー : 300 mW

ショット数 : 300 ショット

直線偏光方向 : 図の左右方向（磁場）

＜ウェハー条件＞

材質 : Si (100)

板厚 : $550 \mu\text{m}$

表面状態 : 酸化膜付き

＜エッティング条件＞

エッティング液 : KOH水溶液

濃度／温度 : $35\% / 80^\circ\text{C}$

エッティング時間 : 1時間

実施例5.

図23A、図23B及び図23Cは、エッティング処理後の加工穴の状態を示し

た入射面、断面（切断観察面）及び出射面をそれぞれ示している。このときのときのレーザの仕様等は次のとおりである。

＜レーザ条件＞レーザ波長：532 μm

集光レンズ：f 100 mm

ランプ電流：28 A

＜加工条件＞ 発振周波数：1 kHz

パワー：300 mW

ショット数：300 ショット

＜ウェハー条件＞

材質：Si (100)

板厚：550 μm

表面状態：酸化膜付き

＜エッティング条件＞

エッティング液：KOH 水溶液

濃度／温度：35% / 80°C

エッティング時間：1 時間

実施例 6.

本実施例においてはエッティングの処理時間と先行穴の形状との関係を調べた。

このときのレーザの仕様等は次のとおりである。

＜レーザ条件＞レーザ波長：532 μm

集光レンズ：f 100 mm

ランプ電流：28 A

＜加工条件＞ 発振周波数：1 kHz

ショット数：50、500、5000

＜ウェハー条件＞

材質：Si (100)

板厚：550 μm

酸化膜：1.5 μm

酸化膜パターン：なし

<エッティング条件>

エッティング液：KOH水溶液

濃度／温度：35%／80°C

図24A、図24B及び図24Cはエッティング処理を15分施したときの各先行穴（レーザショット数50, 500, 5000）の状態を示した断面（切断観察面）をそれぞれ示している。

図25A、図25B及び図25Cはエッティング処理を30分施したときの各先行穴（レーザショット数50, 500, 5000）の状態を示した断面（切断観察面）をそれぞれ示している。

図26A図、図26B及び図26Cはエッティング処理を60分施したときの各先行穴（レーザショット数50, 500, 5000）の状態を示した断面（切断観察面）をそれぞれ示している。

図27A図、図27B及び図27Cはエッティング処理を90分施したときの各先行穴（レーザショット数50, 500, 5000）の状態を示した断面（切断観察面）をそれぞれ示している。

図28A図、図28B及び図28Cはエッティング処理を120分施したときの各先行穴（レーザショット数50, 500, 5000）の状態を示した断面（切断観察面）をそれぞれ示している。

上記の図から明らかなように、エッティング時間を制御することにより先行穴の形状を制御することができる事が分かる。

実施例7.

図29Aは及び図29Bは、面方位（110）面を有するシリコン基板に酸化膜を形成した後にレーザを照射してその後にエッティング処理を施した時の断面（切断観察面）を示している。図29Aはレーザ未貫通穴にエッティング処理を施したときのものであり、図29Bはレーザ貫通穴にエッティング処理を施したとき

のものである。いずれの場合においても、面方位 (111) 面が出現し、真っ直ぐな先行穴が得られている。

実施例 8.

次に、レーザ加工により斜めの穴を形成した場合の例を垂直穴との対比において説明する。

図30は面方位 (100) 面のシリコン基板5に斜め45度の穴をレーザ加工してエッチングした場合の平面図である。図31Aは図30のA-A断面図であり、図31Bは図30のB-B断面図である。ここでは、面方位 (111) 面が出現してエッチングが止まった時の形状が示されている。なお、図においては、斜めの穴の例として貫通穴60及び止まり穴(未貫通穴)61の例が示されている。

図32は面方位 (100) 面のシリコン基板5に垂直度の穴をレーザ加工してエッチングした場合の平面図である。図33Aは図32のA-A断面図、図33Bは図32のB-B断面図であり、図33Cは図32のC-C断面図である。ここでも面方位 (111) 面が出現してエッチングが止まった時の形状が示されている。

図34は面方位 (110) 面のシリコン基板1に垂直度の穴をレーザ加工してエッチングした場合の平面図である。図35Aは図34のA-A断面図、図35Bは図34のB-B断面図であり、図33Cは図32のC-C断面図である。ここでも面方位 (111) 面が出現してエッチングが止まった時の形状が示されている。

図36及び図37は図31A又は図31Bに対応した貫通穴60及び止まり穴(未貫通穴)61の断面(切断観察面)を示している。

これらの図から面方位が (100) 面を有するシリコン基板に斜め穴をレーザ加工により生成した場合には上述の実施形態7で述べた利点があることが分かる。

請 求 の 範 囲

1. レーザ光の照射及び異方性エッティングを施して作成されたスルーホールを有する結晶性基板と、

前記スルーホールの内壁に形成された絶縁膜と、

前記スルーホールに挿入された導電材を含み、前記導電材を介して前記結晶性基板の一方の面側と他方の面側とを電気的に導通状態にする金属バンプとを備えた半導体チップ。

2. 前記結晶性基板の一方の面側に絶縁膜を介して形成された電極パッドを備え、前記金属バンプは、前記電極パッドと電気的に接続され、且つ、前記結晶性基板の一方の面に突出するとともに、前記結晶性基板を貫通して前記結晶性基板の他方の面に突出してなる、請求項1記載の半導体チップ。

3. 前記金属バンプは、前記結晶性基板の一方の面側の前記電極パッドの部分から前記結晶性基板の他方の面にかけて貫通して形成されたスルーホールに形成される、請求項2記載の半導体チップ。

4. 前記金属バンプは、前記スルーホール内壁に沿って設けられた導電材からなる、請求項3記載の半導体チップ。

5. レーザ光の照射及び異方性エッティングを施して作成されたスルーホールを有する結晶性基板と、前記スルーホールの内壁に形成された絶縁膜と、前記スルーホールに挿入された導電材を含み、前記導電材を介して前記結晶性基板の一方の面側と他方の面側とを電気的に導通状態にする金属バンプとを備えた半導体チップを、その金属バンプ同士が接続されて積層された状態で含む半導体装置。

6. 半導体装置を含み、前記半導体装置は、レーザ光の照射及び異方性エッキン

グを施して作成されたスルーホールを有する結晶性基板と、前記スルーホールの内壁に形成された絶縁膜と、前記スルーホールに挿入された導電材を含み、前記導電材を介して前記結晶性基板の一方の面側と他方の面側とを電気的に導通状態にする金属バンプとを備えた半導体チップが、その金属バンプ同士が接続されて積層されて構成されている、回路基板。

7. 半導体装置が組み込まれた回路基板が搭載され、前記半導体装置は、レーザ光の照射及び異方性エッティングを施して作成されたスルーホールを有する結晶性基板と、前記スルーホールの内壁に形成された絶縁膜と、前記スルーホールに挿入された導電材を含み、前記導電材を介して前記結晶性基板の一方の面側と他方の面側とを電気的に導通状態にする金属バンプとを備えた半導体チップが、その金属バンプ同士が接続されて積層されて構成されている、電子機器。

8. 結晶性基板にレーザ光を照射して先行穴を形成する工程と、異方性エッティングを行って前記先行穴を拡大してスルーホールを形成する工程とを有する半導体チップの製造方法。

9. 前記スルーホールの内壁に絶縁膜を形成する工程と、前記内壁が絶縁されたスルーホールに導電材を形成して、前記結晶性基板の一方の面側と他方の面側とを電気的に導通状態にする金属バンプを形成する工程とを更に有する請求項8記載の半導体チップの製造方法。

10. 前記結晶性基板に形成された電極パッド部分にレーザ光を照射して先行穴を形成し、前記電極パッドと前記金属バンプとを電気的に接続する、請求項9記載の半導体チップの製造方法。

11 前記結晶性基板はシリコン基板である、請求項9又は10記載の半導体チップの製造方法。

12. 前記シリコン基板の面方位が(100)面である、請求項11記載の半導体チップの製造方法。

13. 前記シリコン基板の面方位が(110)面である、請求項11記載の半導体チップの製造方法。

14. 前記結晶性基板の一方の面側及び他方の面側にそれぞれ保護膜を形成し、前記保護膜を介して前記結晶性基板にレーザ光を照射する、請求項8～13の何れかに記載の半導体チップの製造方法。

15. 前記電極パッドが形成された側の面からレーザ光を照射する、請求項14記載の半導体チップの製造方法。

16. 前記電極パッドが形成された側とは反対側の面からレーザ光を照射する、請求項15記載の半導体チップの製造方法。

17. 前記結晶性基板の電極パッドが形成された側の面及びその反対側の面からレーザ光を照射する、請求項14記載の半導体チップの製造方法。

18. 中央部に開口部を有する電極パッドを保護膜で覆い、レーザ光を前記保護膜を介して前記開口部を通過させる、請求項14記載の半導体チップの製造方法。

19. 前記電極パッドと前記結晶性基板の表面との間にパターン化された保護膜を形成し、その保護膜の形状により異方性エッチングのエッチング形状を規制する、請求項18記載の半導体チップの製造方法。

20. レーザ光を位相格子により分岐させて基板に照射する、請求項8～19の何れかに記載の半導体チップの製造方法。

21. レーザ光をランダム偏光に変換して基板に照射する、請求項8～19の何れかに記載の半導体チップの製造方法。

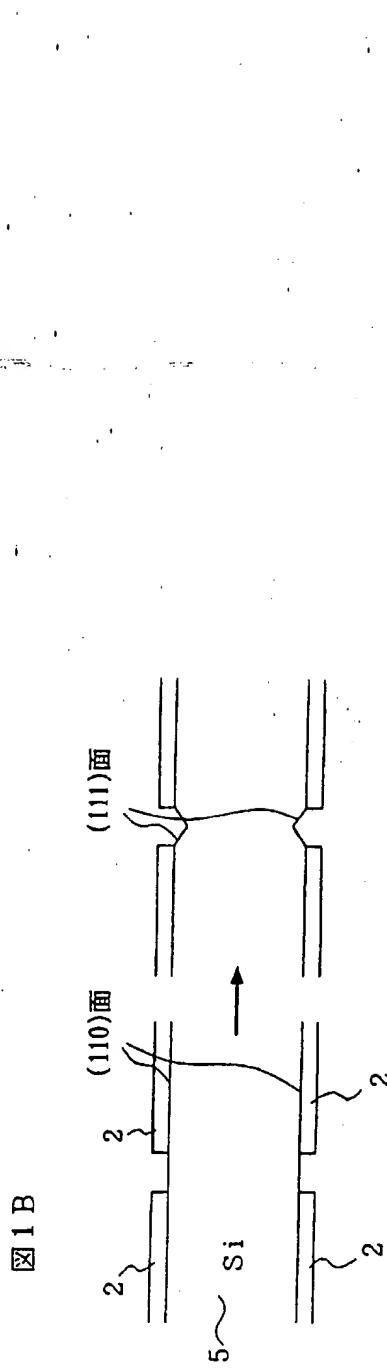
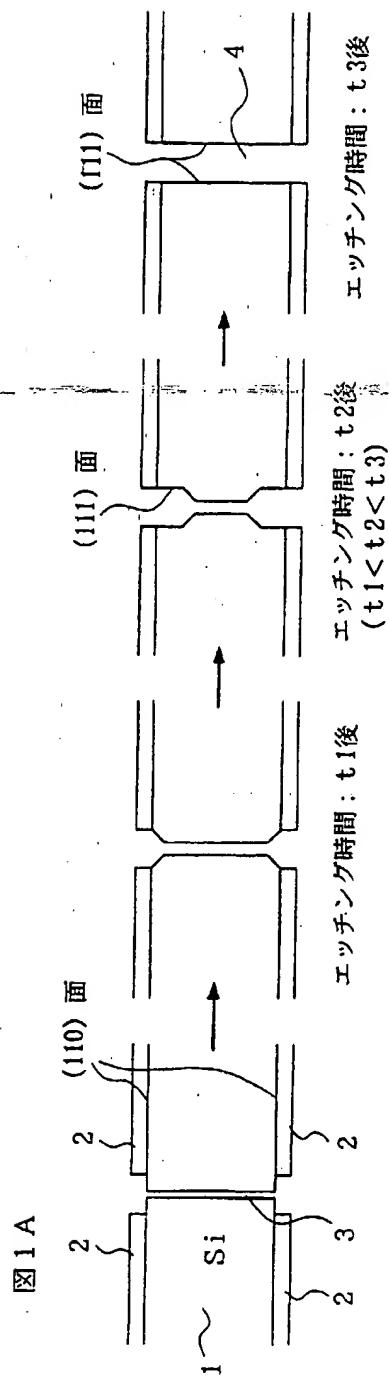
22. レーザ光を円偏光させて前記結晶性基板に照射することを特徴とする請求項8～19の何れかに記載の半導体チップの製造方法。

23. 結晶性基板にレーザ光を照射して先行穴を形成する工程と、異方性エッチングを行って前記先行穴を拡大してスルーホールを形成する工程と、前記スルーホールの内壁に絶縁膜を形成する工程と、前記内壁が絶縁されたスルーホールに導電材を形成して、前記結晶性基板の一方の面側と他方の面側とを電気的に導通状態にする金属バンプを形成する工程とを含んだ製造方法により半導体チップを製造し、そして、その半導体チップを積層して半導体装置を製造する、半導体装置の製造方法。

24. 結晶性基板にレーザ光を照射して先行穴を形成する工程と、異方性エッチングを行って前記先行穴を拡大してスルーホールを形成する工程と、前記スルーホールの内壁に絶縁膜を形成する工程と、前記内壁が絶縁されたスルーホールに導電材を形成して、前記結晶性基板の一方の面側と他方の面側とを電気的に導通状態にする金属バンプを形成する工程とを含んだ製造方法により半導体チップを製造し、その半導体チップを積層して半導体装置を製造し、そして、その半導体装置を組み込んで回路基板を製造する、回路基板の製造方法。

25. 結晶性基板にレーザ光を照射して先行穴を形成する工程と、異方性エッチングを行って前記先行穴を拡大してスルーホールを形成する工程と、前記スルーホールの内壁に絶縁膜を形成する工程と、前記内壁が絶縁されたスルーホールに導電材を形成して、前記結晶性基板の一方の面側と他方の面側とを電気的に導通状態にする金属バンプを形成する工程とを含んだ製造方法により半導体チップを製造し、その半導体チップを積層して半導体装置を製造し、その半導体装置を組み込んで回路基板を製造し、そして、その回路基板を搭載して電子機器を製造す

る、電子機器の製造方法。



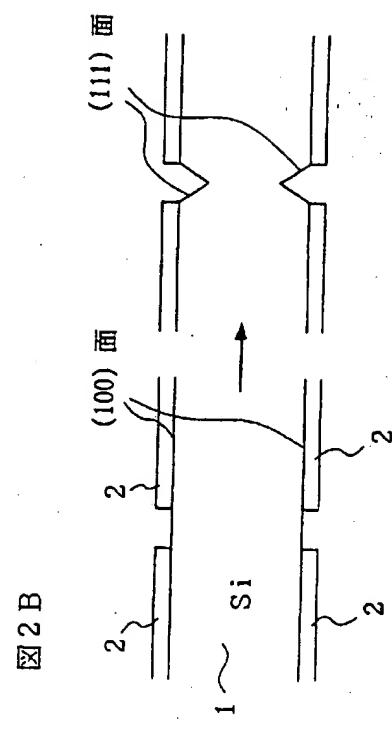
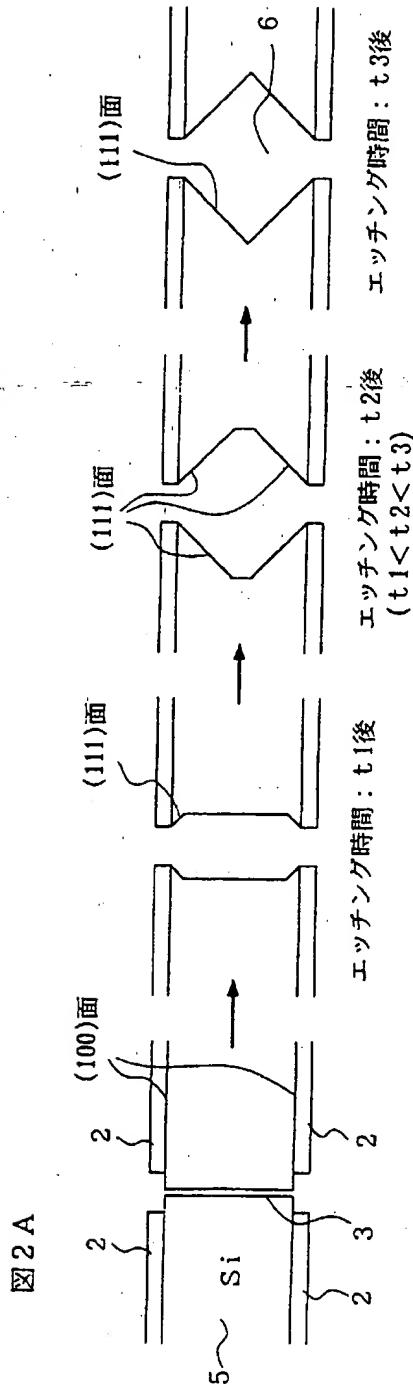


図3

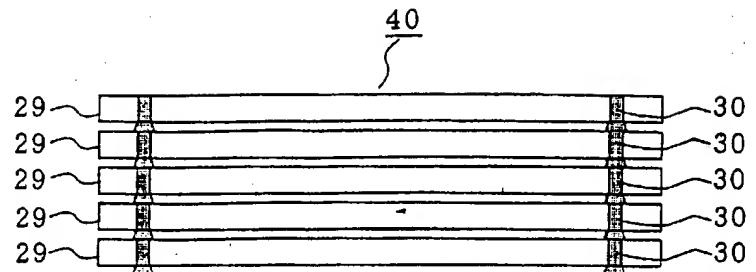


図4 A

図4 C

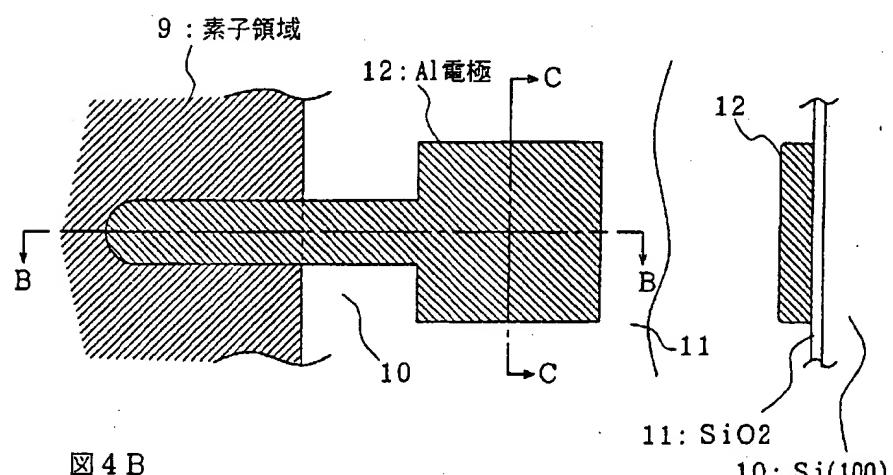
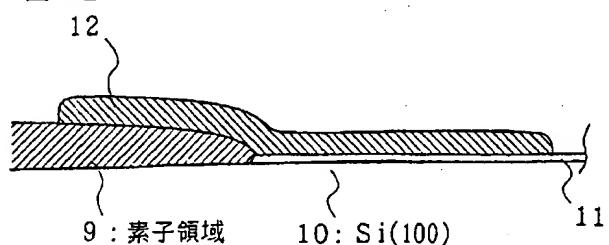
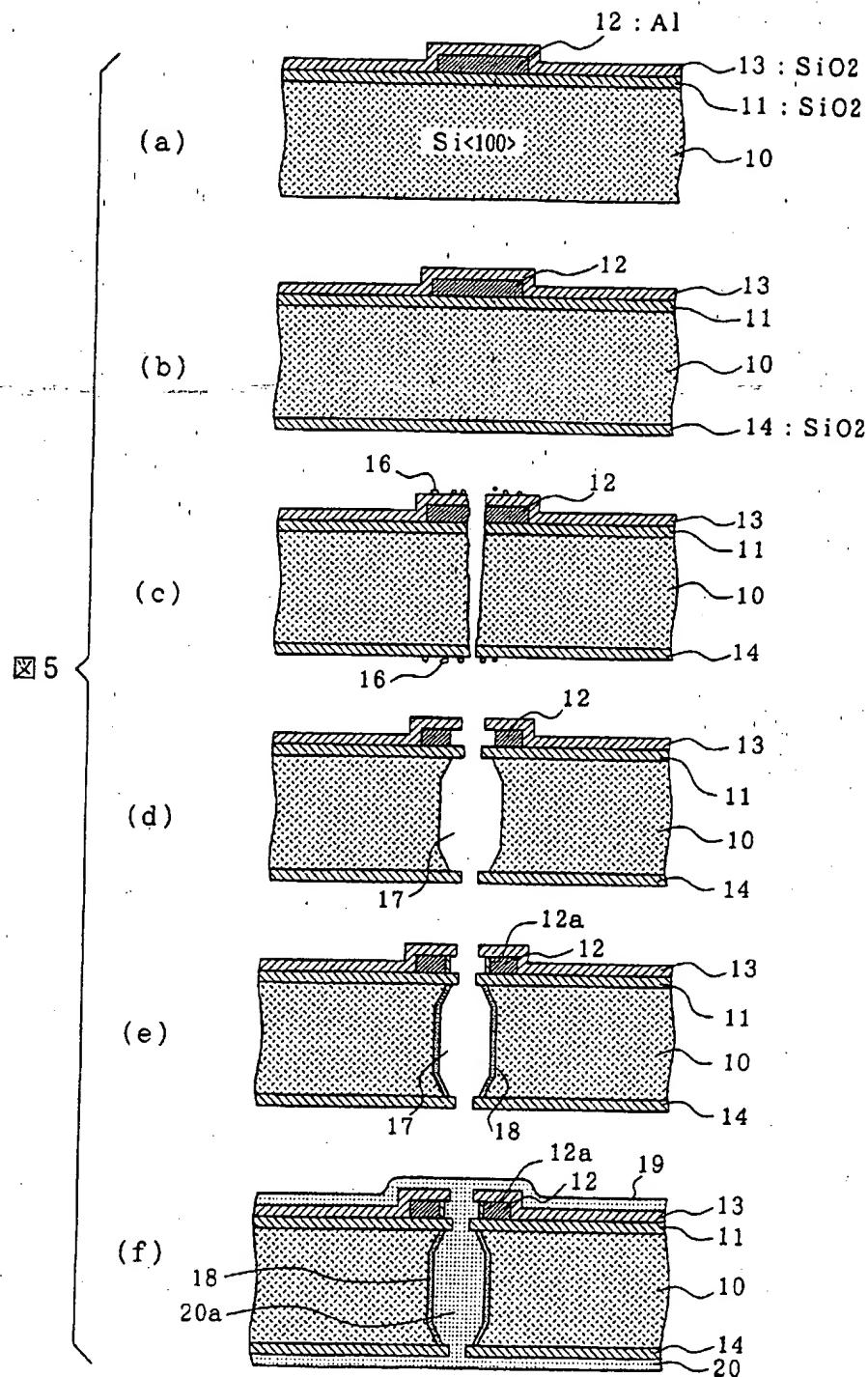
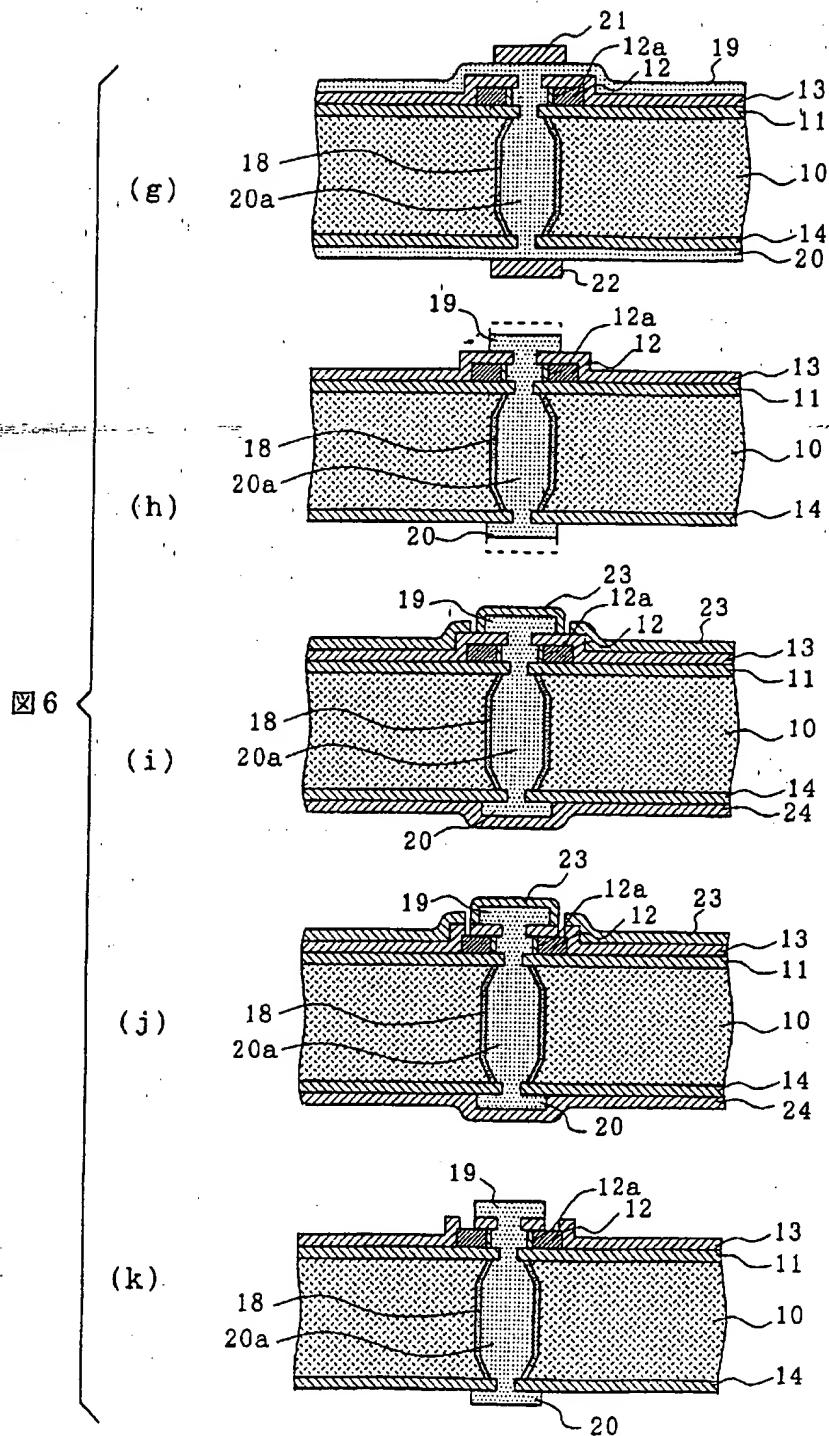


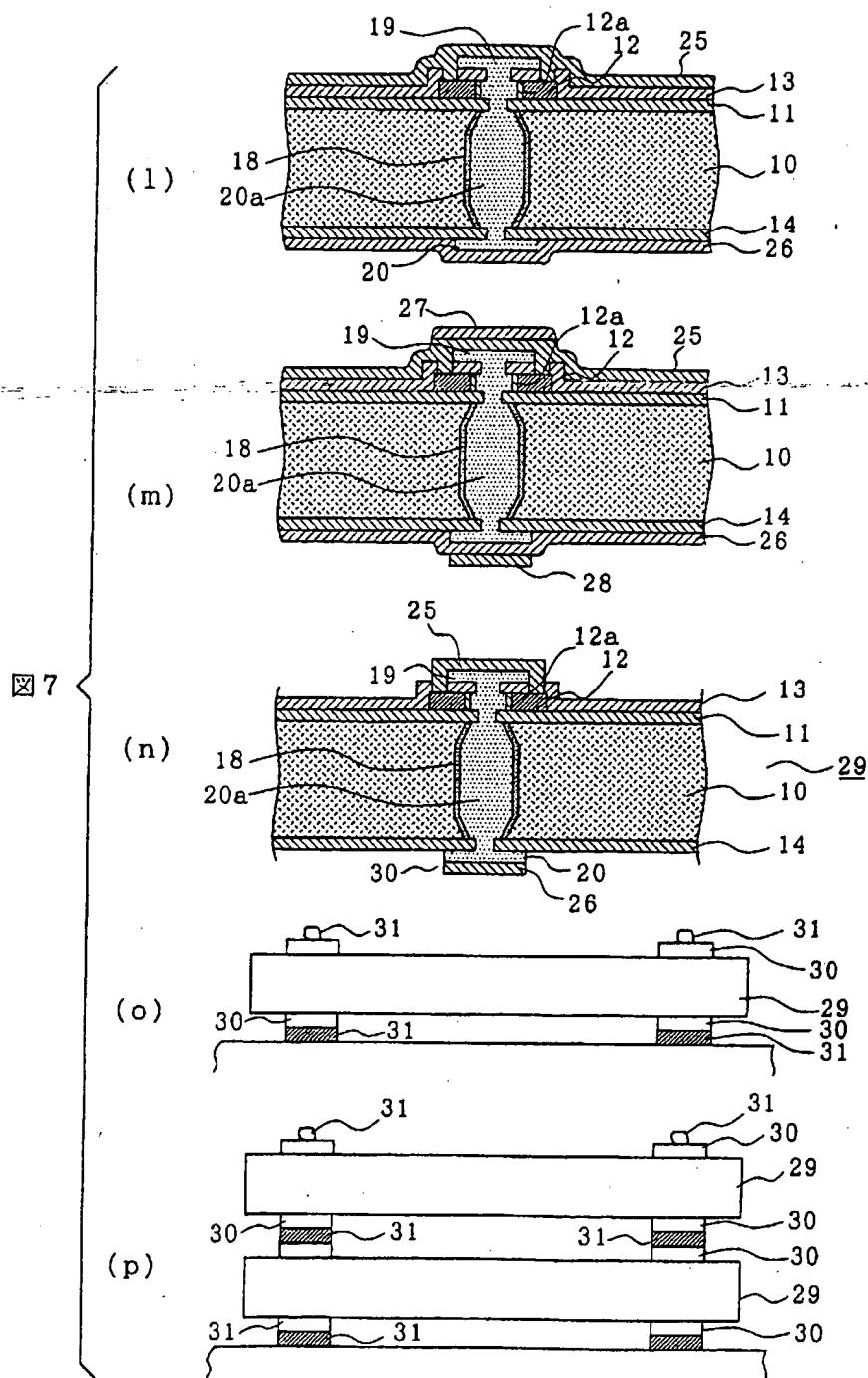
図4 B





5/28





7/28

図 8

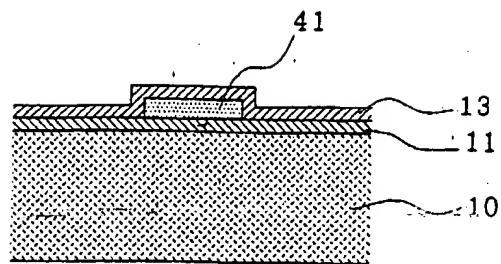


図 9

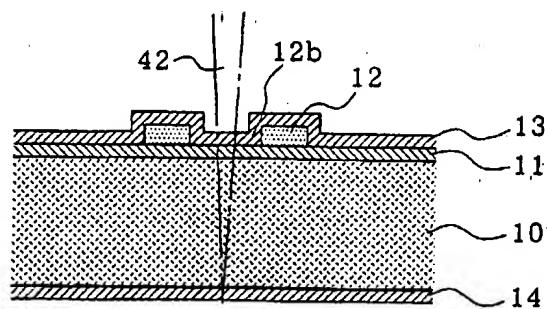


図 10

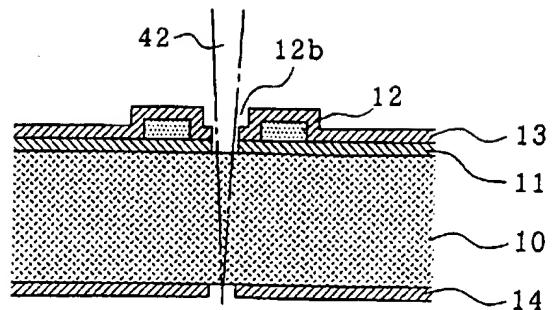


図11

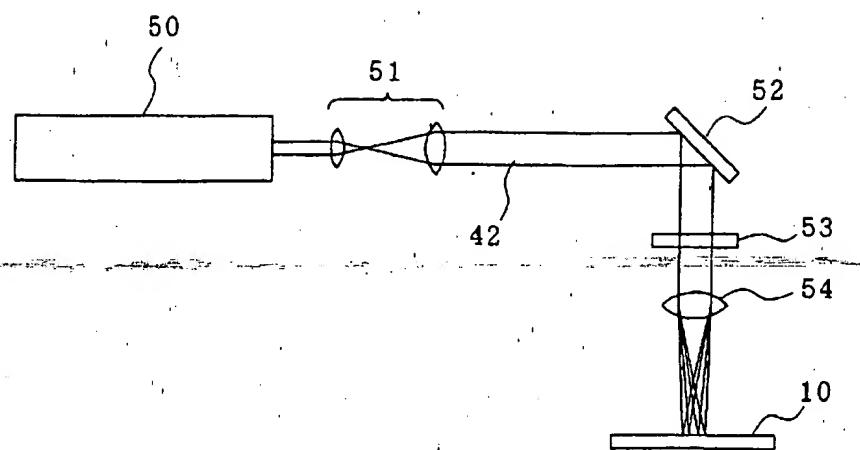


図12A

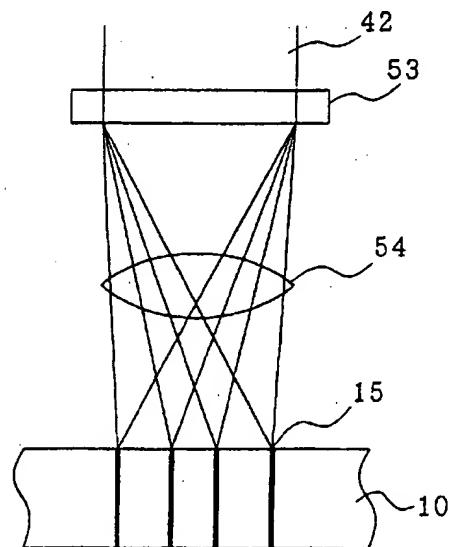
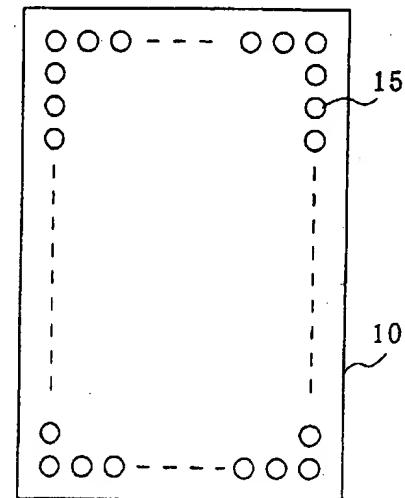


図12B



9/28

図13

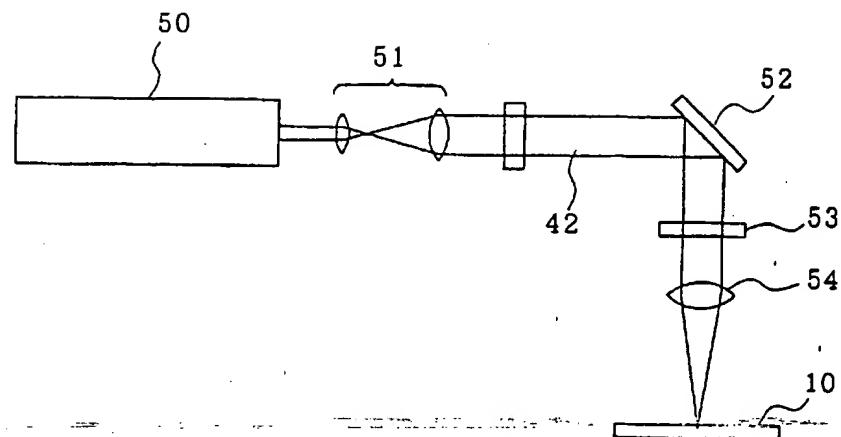


図14A

図14B

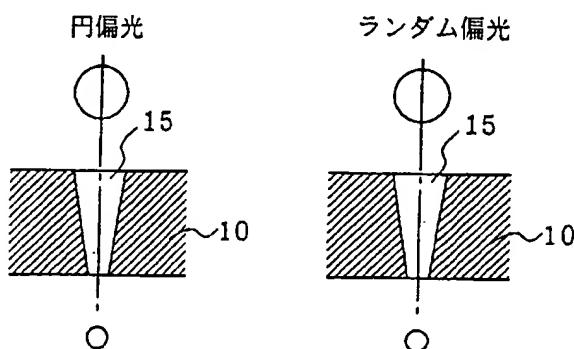
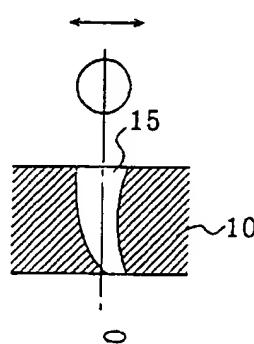


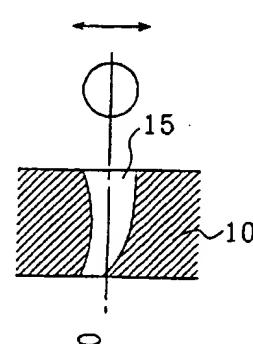
図14C

図14D

S偏光が照射される方向
(向かって右側に曲がった場合)



S偏光が照射される方向
(向かって左側に曲がった場合)



10/28

図15A

偏光とSiのレーザー光吸収率の関係

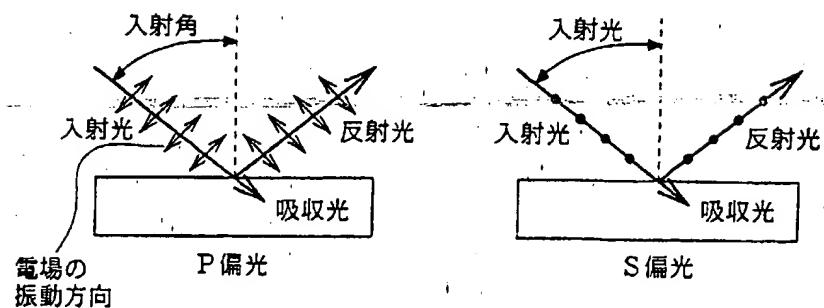
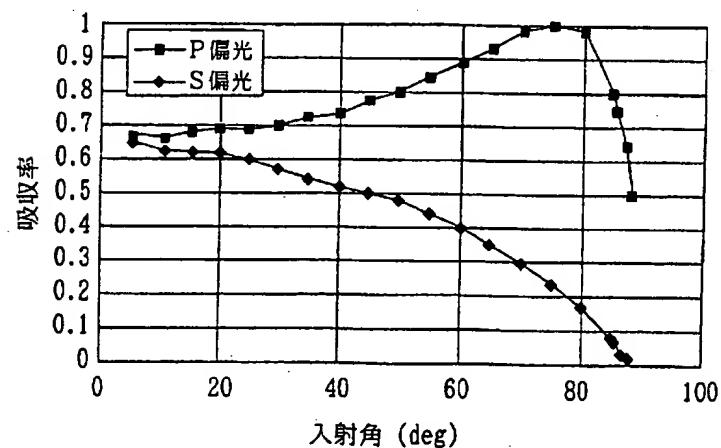


図15B

Si表面における偏光方向と吸収率の関係



11/28

図16

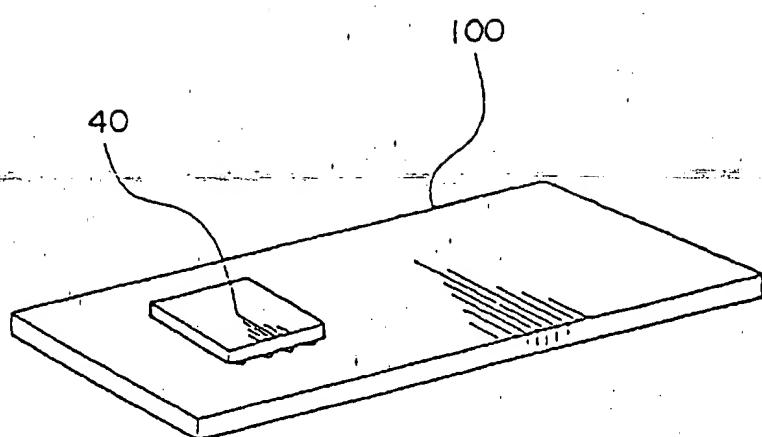
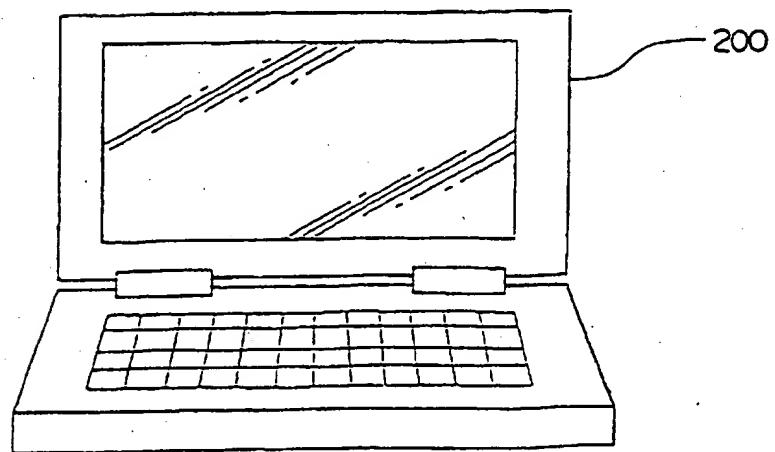
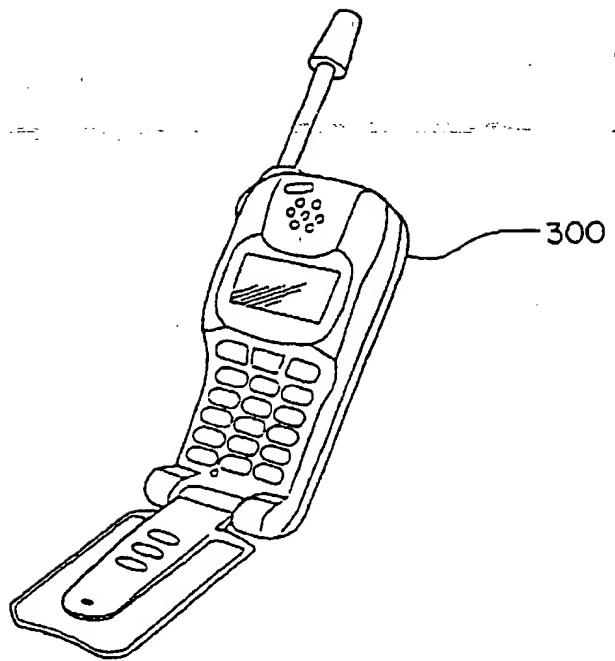


図17

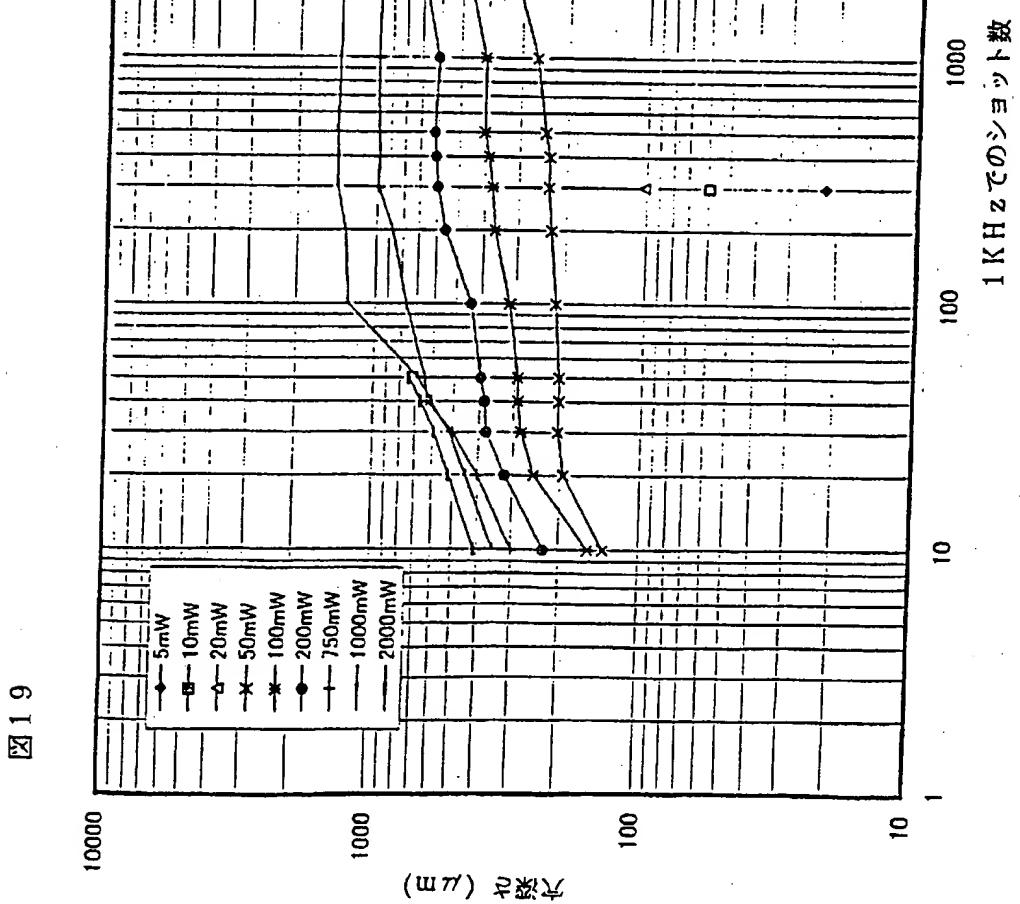


12/28

図 18

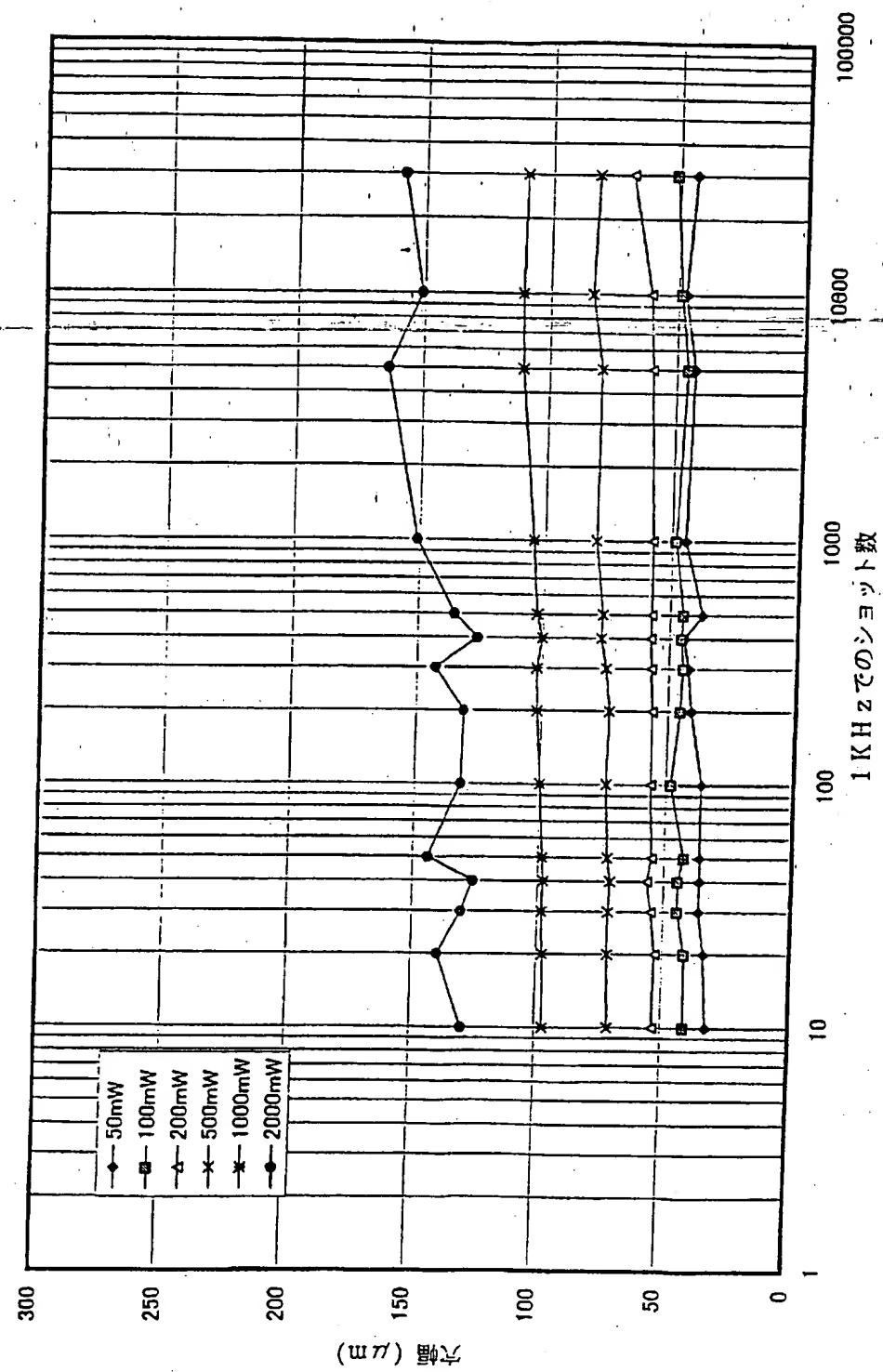


13/28

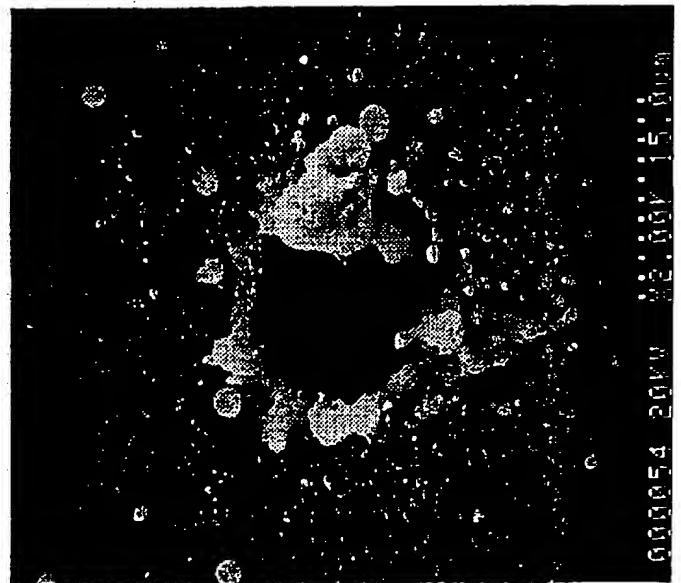


14/28

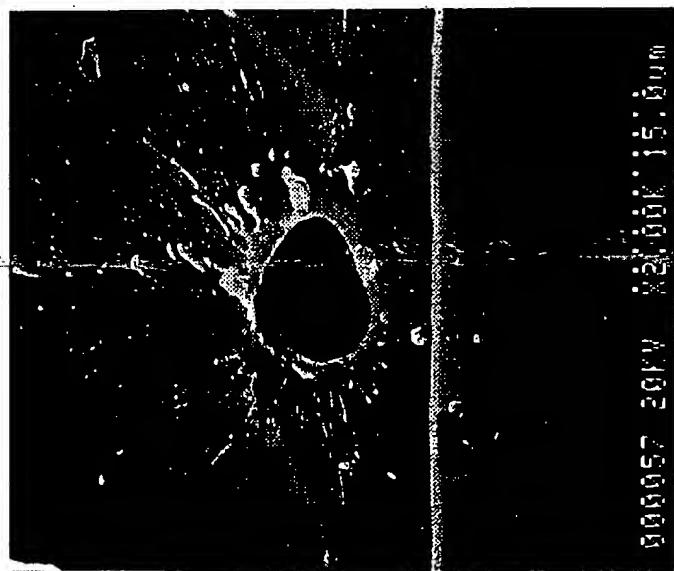
図 20



15/28

図21A
図21B

レーザ入射面



レーザ出射面

16/28

図21C

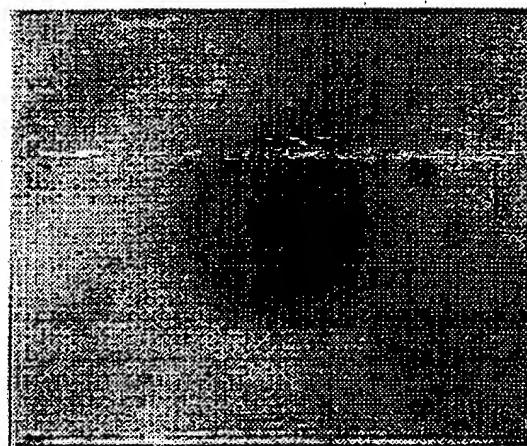


断面 $\times 200$

17/28

図22A

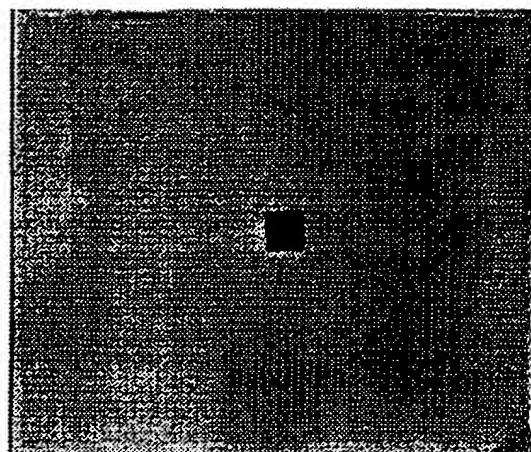
エッティング前（出射面）



×200

図22B

エッティング後（出射面）



×200

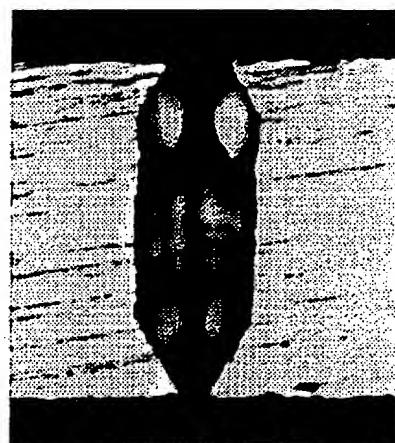
18/28

図 23 A



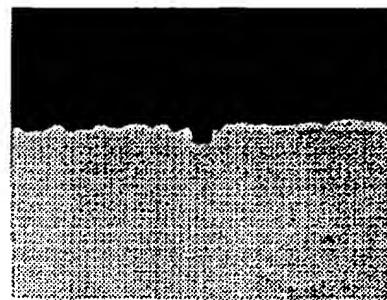
入射面 $\times 100$

図 23 B



断面 (切断面観察) $\times 100$

図 23 C



出射面 $\times 100$

19/28

図 24 C

ショット数 5000の時

図 24 B

ショット数 500の時

図 24 A

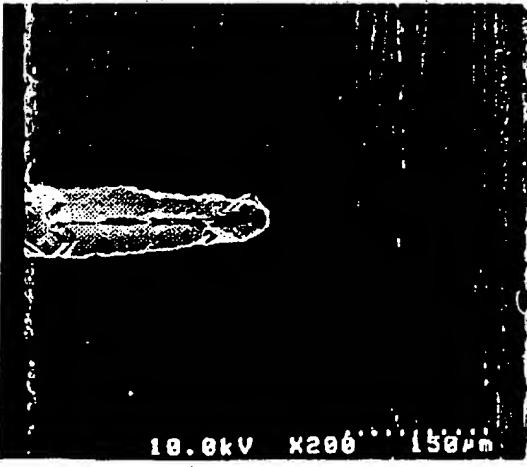
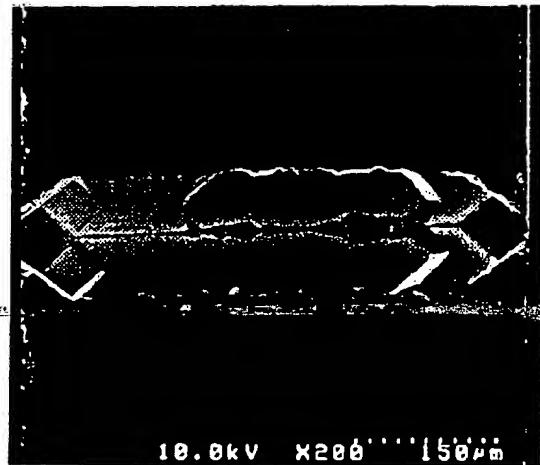
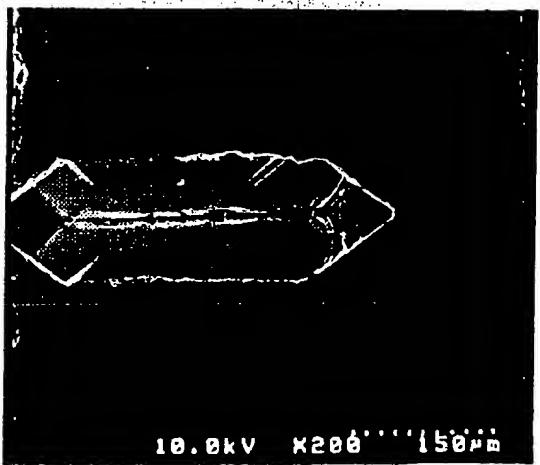
ショット数 5000の時

図 25 C



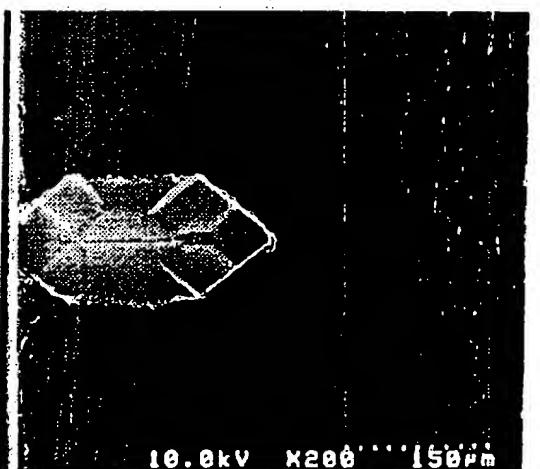
ショット数 5000の時

図 25 B



ショット数 500の時

図 25 A



ショット数 5000の時

21/28

図 26 C

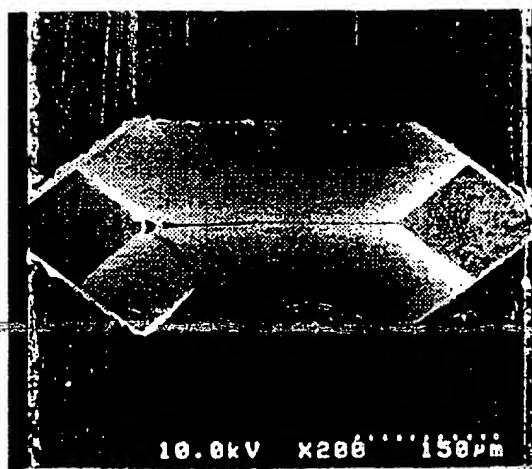
ショット数 500の時

図 26 B

ショット数 5000の時

図 26 A

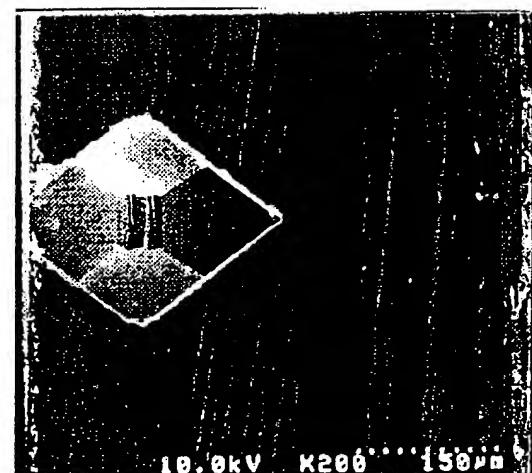
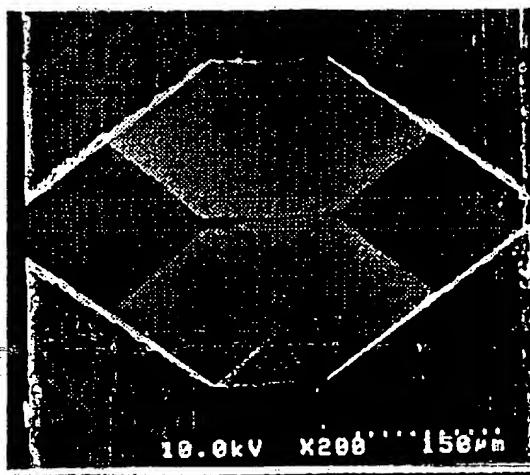
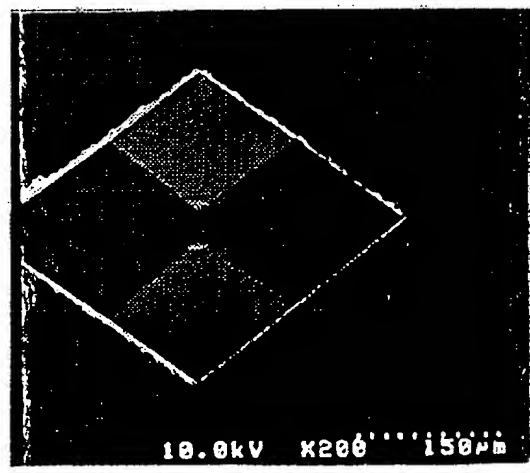
ショット数 50の時

図 27 C



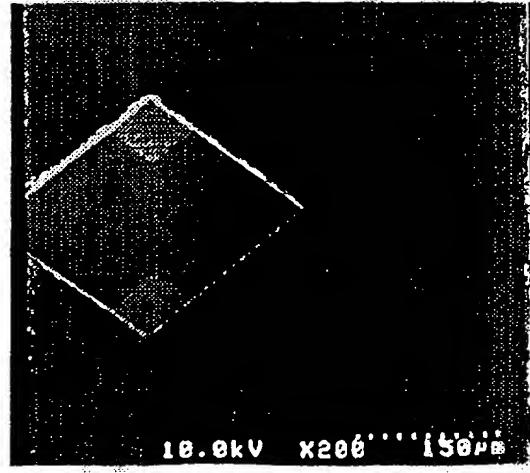
ショット数 5000の時

図 27 B



ショット数 500の時

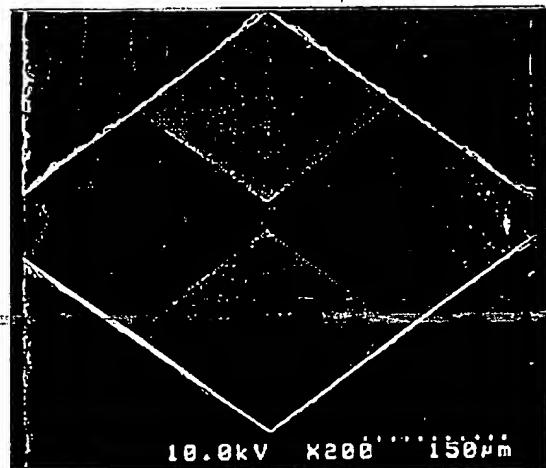
図 27 A



ショット数 50の時

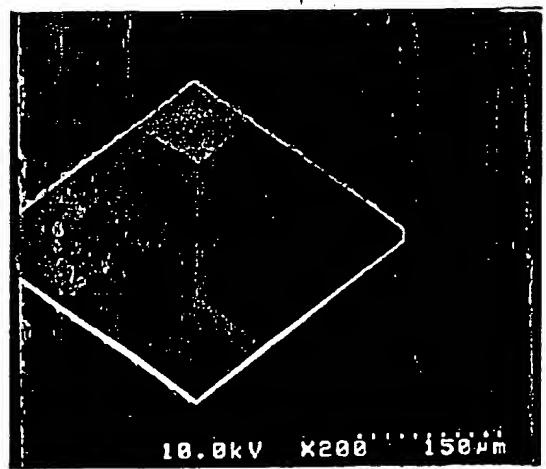
23/28

図 28 C



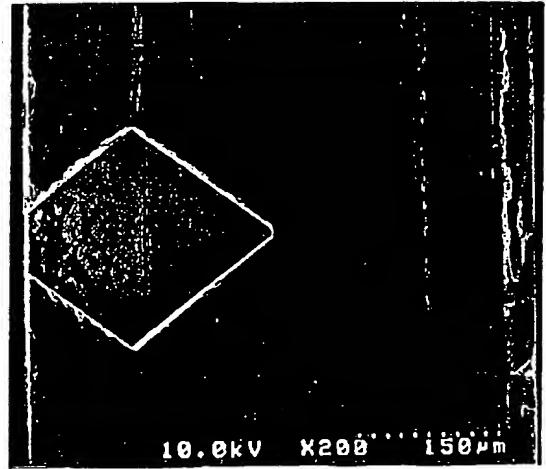
シヨツト数 5000の時

図 28 B



シヨツト数 500の時

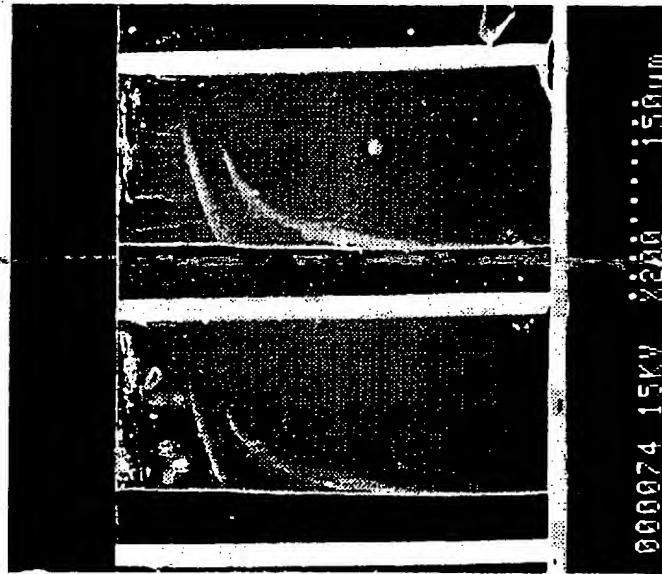
図 28 A



シヨツト数 50の時

24/28

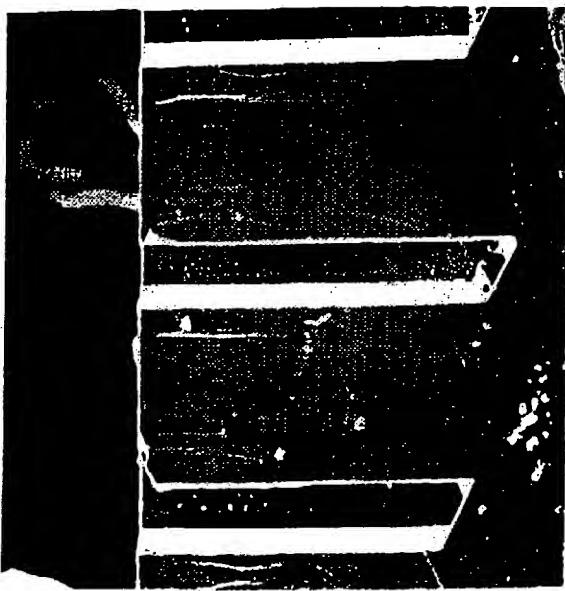
図29B



レーザ質通時

000074 15KV

図29A



レーザ未質通時

000073 15KV

25/28

図30

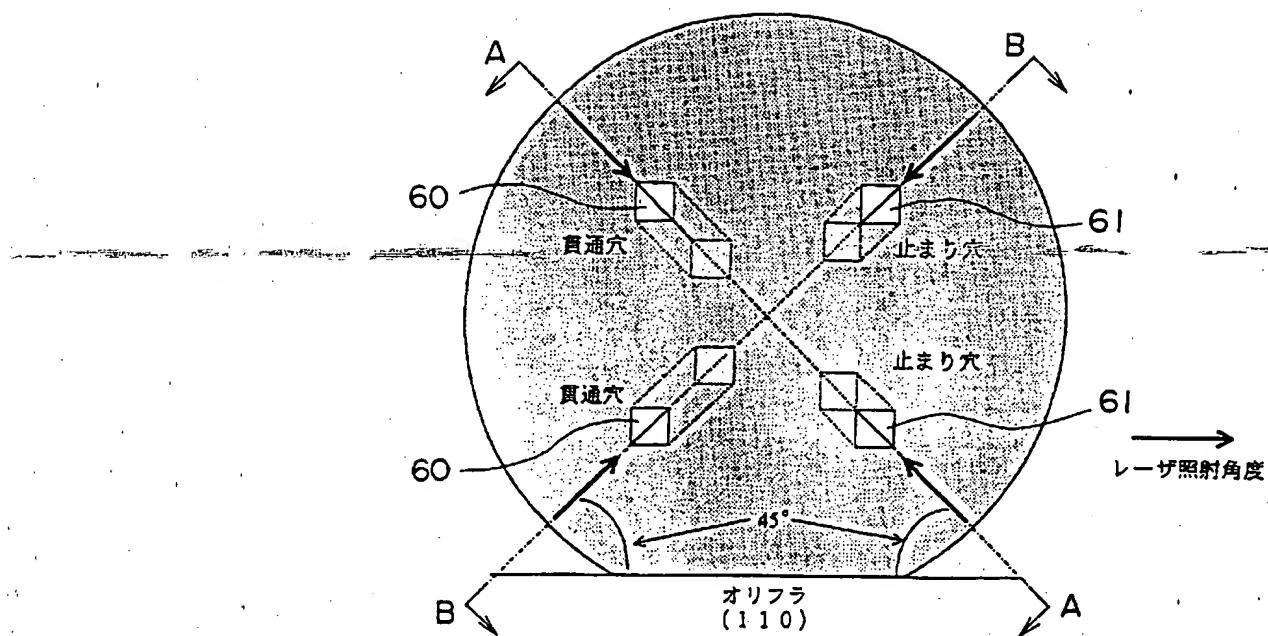


図31A

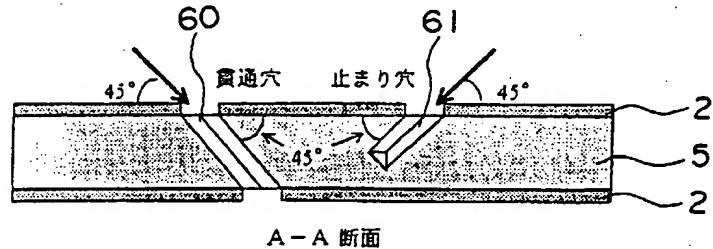
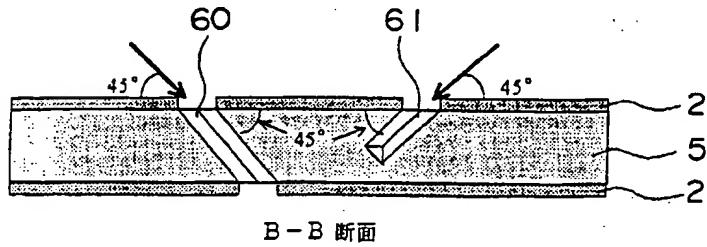


図31B



26/28

図32

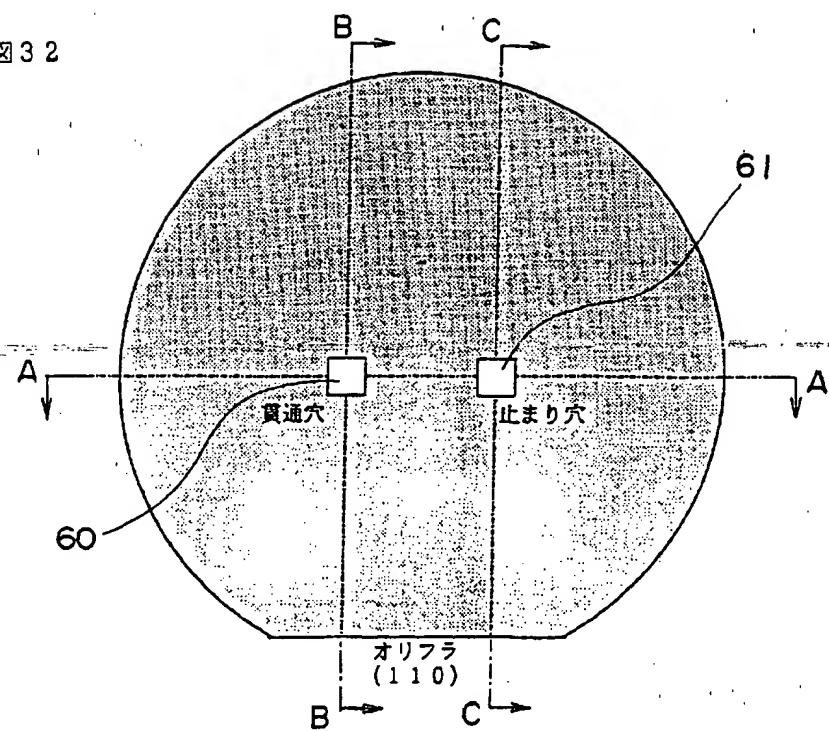
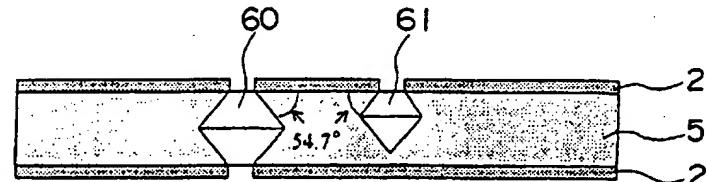
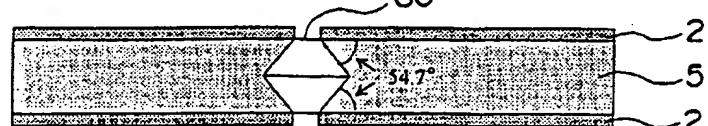


図33A



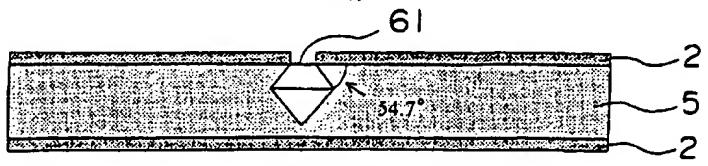
A-A断面

図33B



B-B断面

図33C



C-C断面

27/28

図34

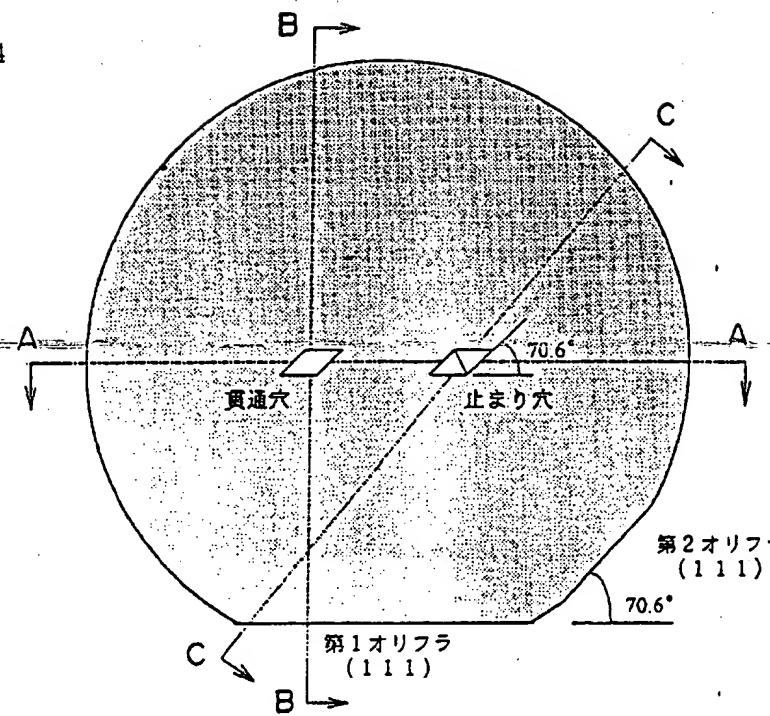
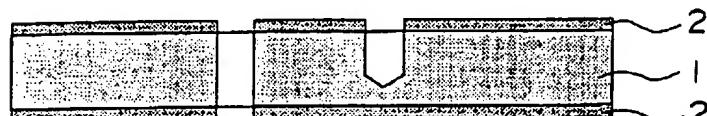
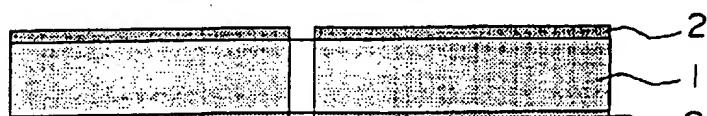


図35A



A-A断面

図35B



B-B断面

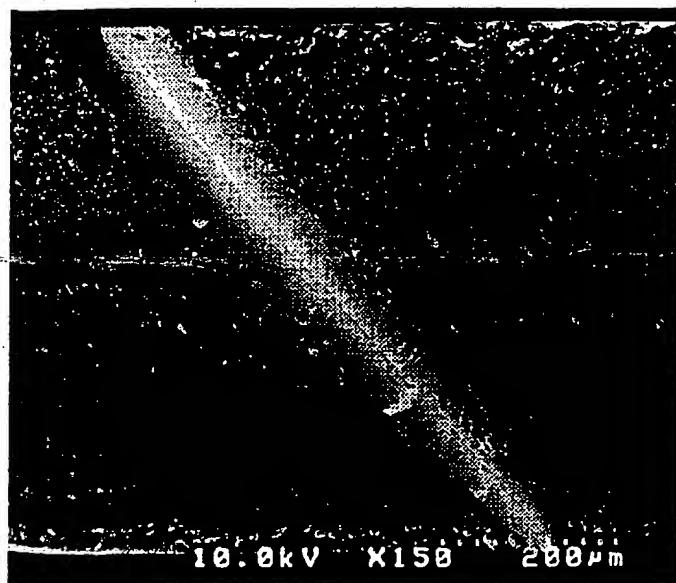
図35C



C-C断面

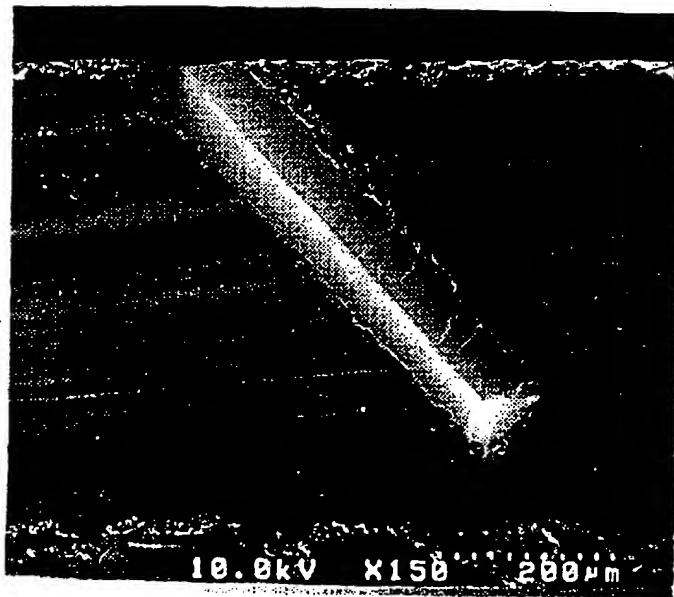
28/28

図36



10.0kV X150 200μm

図37



10.0kV X150 200μm

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/07066

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' H01L25/04, H01L25/065

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' H01L25/04, H01L25/065, H01L21/306

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000

Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 3-253025, A (Nippon Telegr. & Teleph. Corp. <NTT>), 12 November, 1991 (12.11.91), Full text; Figs. 1 to 7 (Family: none)	1-25
A	JP, 58-43554, A (Mitsubishi Electric Corporation), 14 March, 1983 (14.03.83), Full text; Figs. 1 to 7 & DE, 3233195, A	1-25
A	JP, 4-356956, A (Sharp Corporation), 10 December, 1992 (10.12.92), Full text; Figs. 1 to 4 (Family: none)	1-25
A	JP, 8-264712, A (Matsushita Electronic Corporation), 11 October, 1996 (11.10.96), Full text; Figs. 1 to 4 (Family: none)	1-25

 Further documents are listed in the continuation of Box C. See patent family annex.

• Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 March, 2000 (14.03.00)	Date of mailing of the international search report 28 March, 2000 (28.03.00)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1' H01L25/04, H01L25/065

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1' H01L25/04, H01L25/065, H01L21/306

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 3-253025, A (日本電信電話株式会社) 12. 11月. 1991 (12. 11. 91) 全文, 第1-7図 (ファミリーなし)	1-25
A	JP, 58-43554, A (三菱電機株式会社) 14. 3月. 1983 (14. 03. 83) 全文, 第1-7図 & DE, 3233195, A	1-25

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14. 03. 00

国際調査報告の発送日

28.03.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

長谷山 健

4R 9171



電話番号 03-3581-1101 内線 3470

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 4-356956, A (シャープ株式会社) 10. 12月. 1992 (10. 12. 92) 全文, 第1-4図 (ファミリーなし)	1-25
A	JP, 8-264712, A (松下電子工業株式会社) 11. 10月. 1996 (11. 10. 96) 全文, 第1-4図 (ファミリーなし)	1-25

출력 일자: 2003/8/1

반송번호 : 9-5-2003-029837075
 발송일자 : 2003.07.31
 제출기일 : 2003.09.30

수신 : 서울 종로구 내자동 219 한누리빌딩(김&
 장 특허법률사무소)
 장수길 귀하

110-053

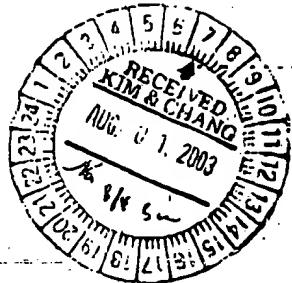
특허청 의견제출통지서

출원인 명침 가부시끼가이샤 도시바 (출원인코드: 519980849672)
 주소 일본국 도쿄도 미나토구 시바우라 1포메 1방 1고

대리인 성명 장수길 외 4명
 주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호 10-2001-0062109

발명의 명칭 반도체 장치



이 출원에 대한 실사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지합니다. 의견이 있거나 보정이 필요할 경우에는 살기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-16항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 반명함 수 있는 것으로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[이래]

본원의 청구항 제1-16항에 기재된 발명은 제1반도체침, 제1접속단자, 관동구멍내에 매설된 도전성 투재, 제2접속단자, 배선기판, 제3접속단자로 된 반도체장치를 그 기술적 특징으로 기재하고 있으나, 이는 WO 00/36650호(2000. 6. 22)의 관동구멍(도전부재매립)을 갖는 반도체침, 회로기판의 구성을로부터 동 분야에서 통상의 지식을 가진 자가 용이하게 발명할 수 있는 정도의 것으로 인정됩니다.

(특허법 제29조 제2항)

[첨부]

첨부1 WO 00/36650호 1부. 끝.

2003.07.31

특허청

심사4국

반도체2심사담당관실

심사관 황윤구



Mailed Date: July 31, 2003
Filing Due Date: September 30, 2003

NOTIFICATION FOR FILING OPINION

Applicant: name: Kabushiki Kaisha Toshiba

Application No.: 10-2001-0062109

Title of Invention: Semiconductor device

As the result of examination of the present application, the following reasons for rejection have been found and notified herein under Section 63 of the Patent Law. Any opinion about the rejection [Form 25-2 attached to the Regulations under the Patent Law] or any amendment [Form 5 attached to the Regulations under the Patent Law] must be filed by the above date. (The above date is extensible by one month for each request. No notification of allowing extension of time will be issued.)

[Reason]

Regarding the invention described in the claims 1-16 of the present application, in the technical field the invention belonged to before this application, a person skilled in the art can easily provide the invention using the references below. Therefore, the present invention is unpatentable under the provision of the main sentence of Section 29 (2) of the Patent Law.

[Remarks]

Claims 1-16 of the present application describe the technical features of a semiconductor device comprising: a first semiconductor chip; a first connection terminal; a conductive member buried in a feedthrough hole; a second connection terminal; a wiring substrate; and a third connection terminal. But, it is considered that a person skilled in the art can easily provide the

present invention from the structure of a circuit board and a semiconductor chip having a feedthrough hole (buried in a conductive member) disclosed in W000/36650 (June 22, 2003). (Section 29 (2) of the Patent Law)

[Attachment]

W000/36650